

情報処理学会研究会
2010.1.28

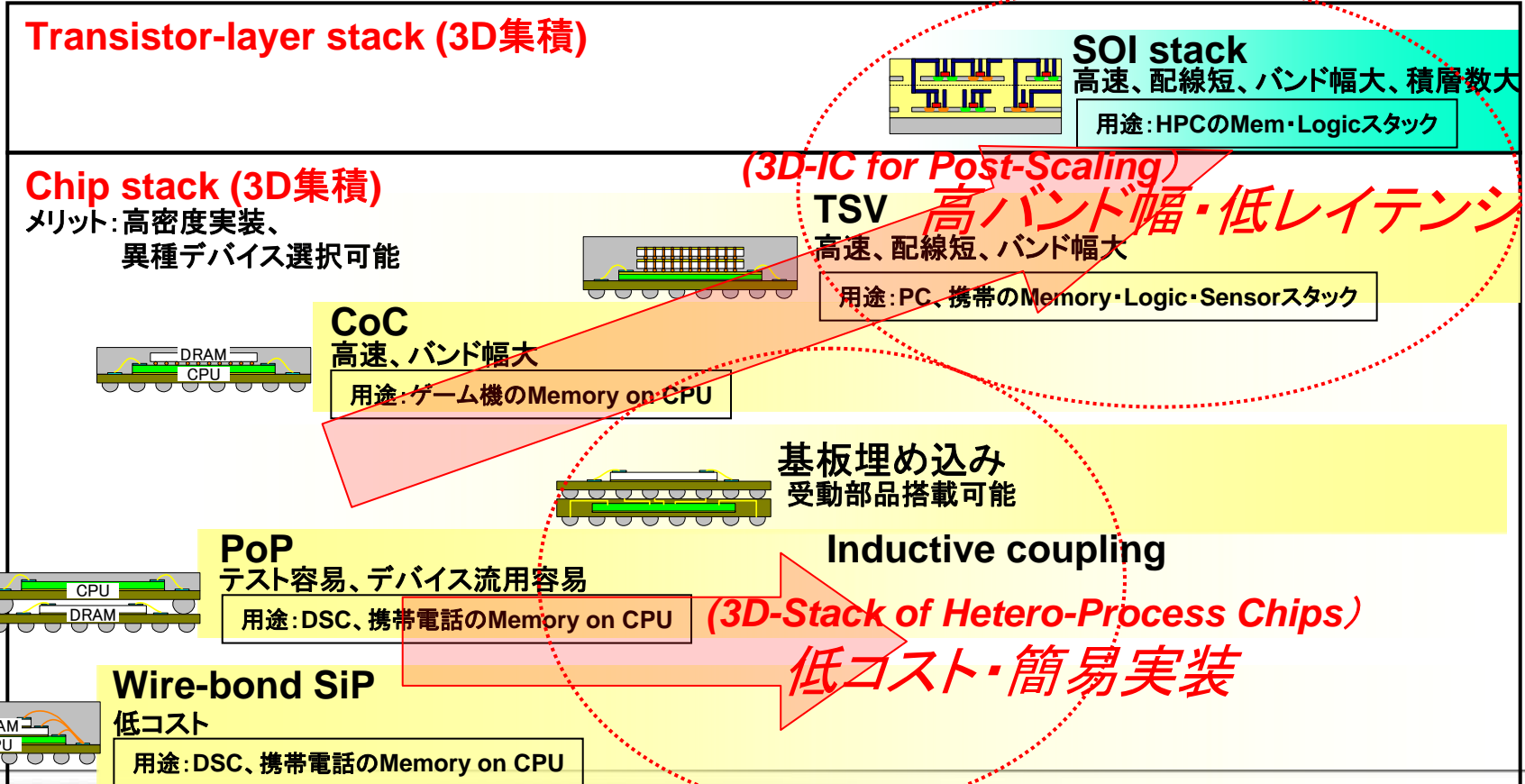
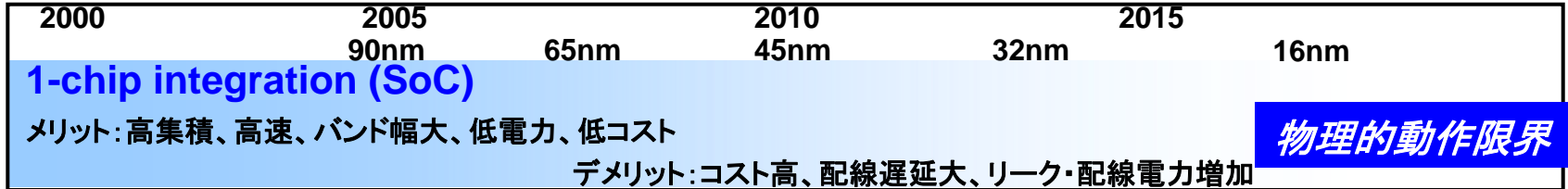
3D積層フレキシブルメモリ

日本電気株式会社
デバイスプラットフォーム研究所
斎藤 英彰

3D集積技術と応用

3D集積：実装技術ロードマップ

実装小型化からデバイスシステムの高集積・高性能・多機能化へ



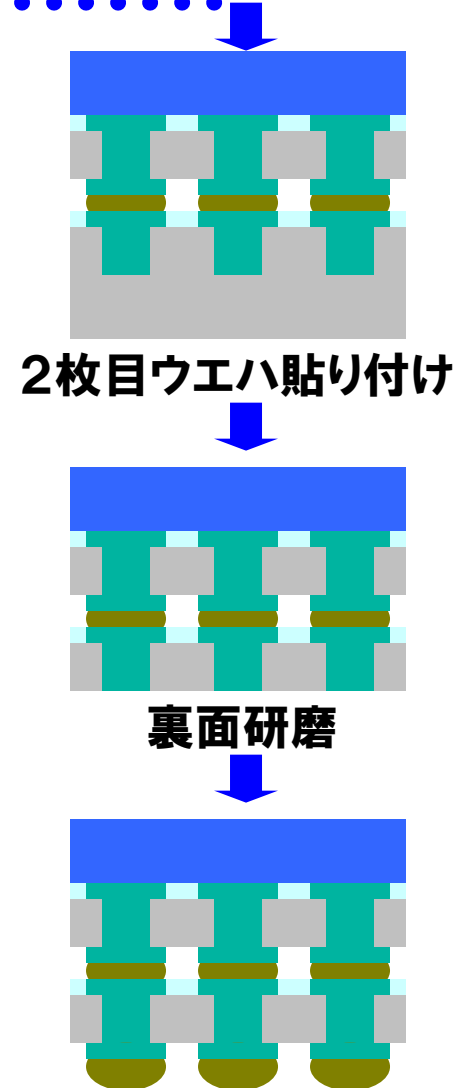
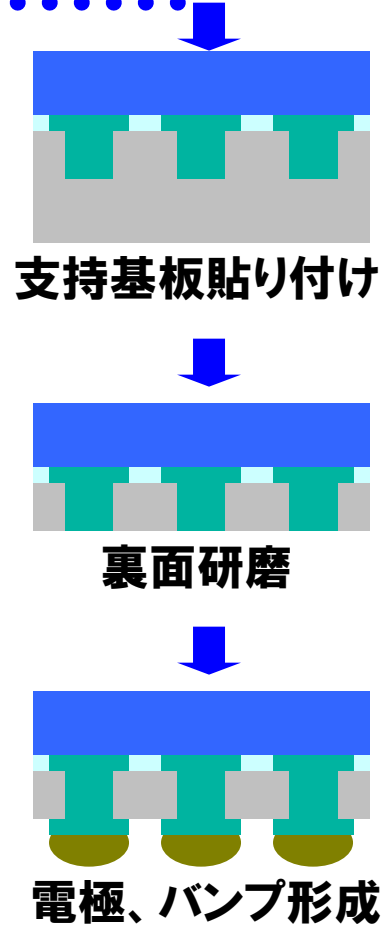
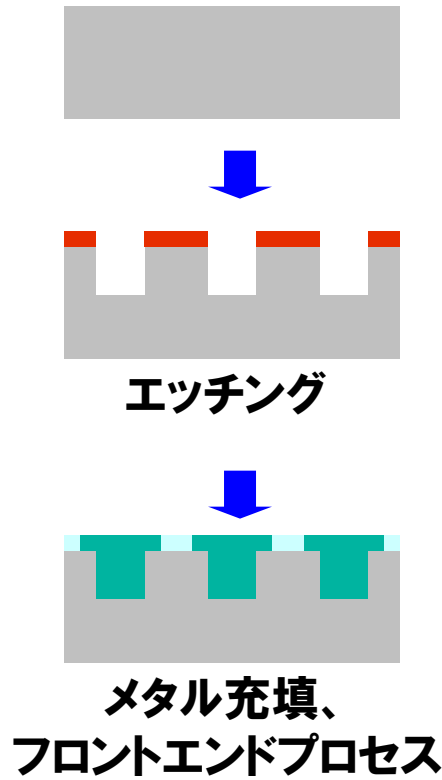
3D集積： I/O性能

I/O数と周波数の増加により高バンド幅化が進む

I/O数	I/O周波数	実装技術	実用化フェーズ	特徴	アプリケーション
10^3 /cm ²	10- 300MHz	Wire-bond SiP、PoP	量産	小型実装	モバイル
10^4 - 10^5 /cm ²	100- 500MHz	CoC、TSV	一部量産	高バンド幅、 高密度	携帯ゲーム機、大容量汎 用メモリ、アナログ/センサ 等の混載
10^5 - 10^8 /cm ²	100MHz -数GHz	Bump-less CoC、 μ m- pitch TSV、 SOI stack	研究試作	3D集積、等 価スケールン グ	HPC向けMany-core CPU/FPGA/SoC

3D集積： TSV(シリコン貫通ビア)

TSV工程例(Via First)



3D集積： TSVのデバイス応用例

3D-DRAM

Elpida memory, 3D-SIC 2007

Samsung, ISSCC 2009

イメージセンサ(カメラモジュール)

Toshiba, ISSCC 2009

3D集積の特徴

高集積度

- チップ実装あるいは半導体層のプロセス積層で高さ方向に集積
- DRAM, Flashの積層で大容量メモリ実現が近い

小型パッケージ

- Si貫通ビア(TSV)で裏面配線してパッケージを小型化
- TSVはイメージセンサですでに実用化

高性能

- チップ内の長距離配線を3次元の短距離配線に置き換え
- 回路遅延、消費電力の向上を期待

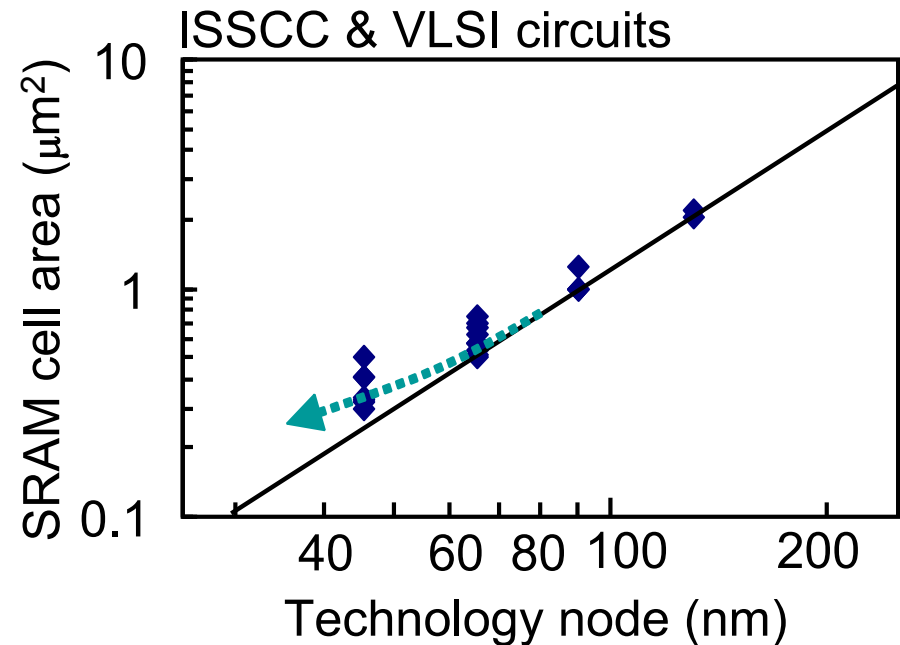
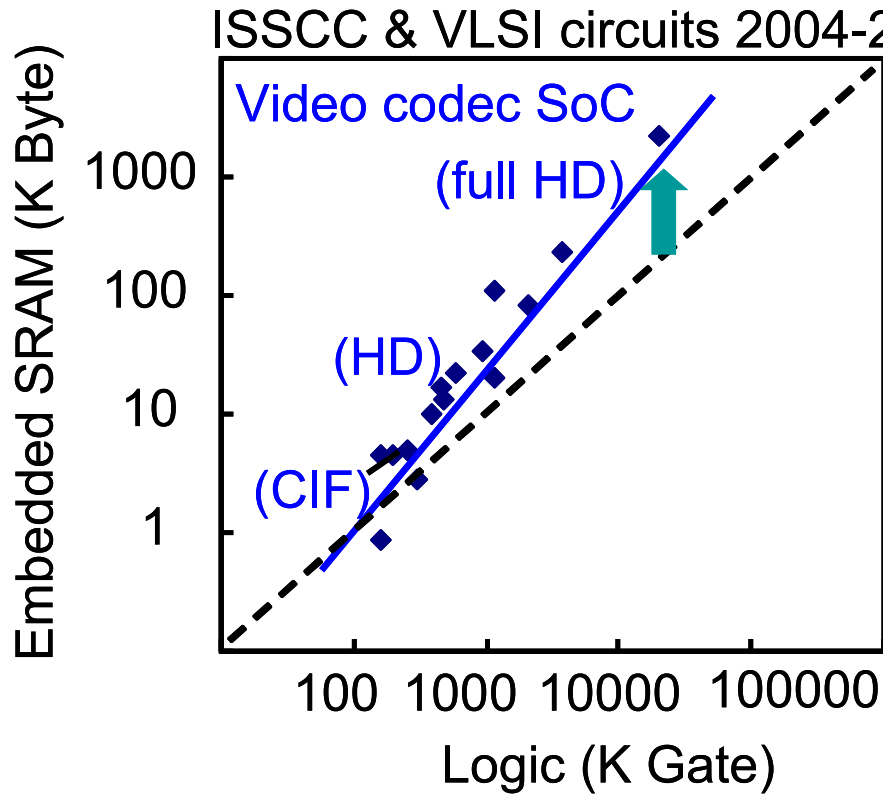
システムインテグレーション

- 異種デバイス、異種プロセスチップの積層によるシステム統合
- ロジック(プロセッサ)とメモリの積層の応用検討が活発
- **積層フレキシブルメモリ**: システムLSIのロジックとメモリの分離、チップ積層

積層フレキシブルメモリ ・背景とコンセプト

積層フレキシブルメモリの背景： 混載SRAM容量・サイズのトレンド

- システムLSIチップ内の混載メモリのサイズが急増
- 混載SRAMの微細化はトランジスタばらつきの影響で鈍化

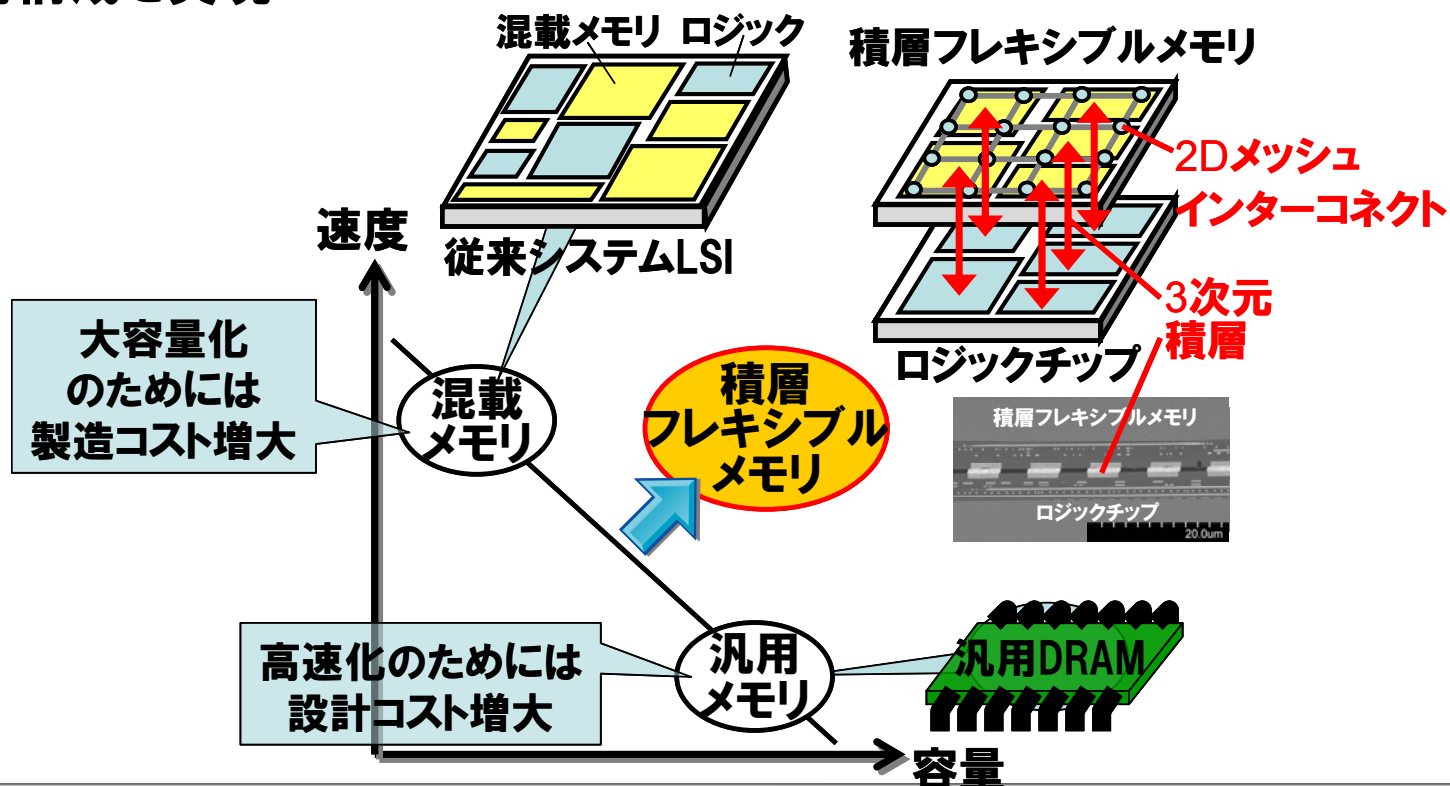


積層フレキシブルメモリの開発

高速性能と大容量性能の両方を兼ね備える新しいタイプのメモリ

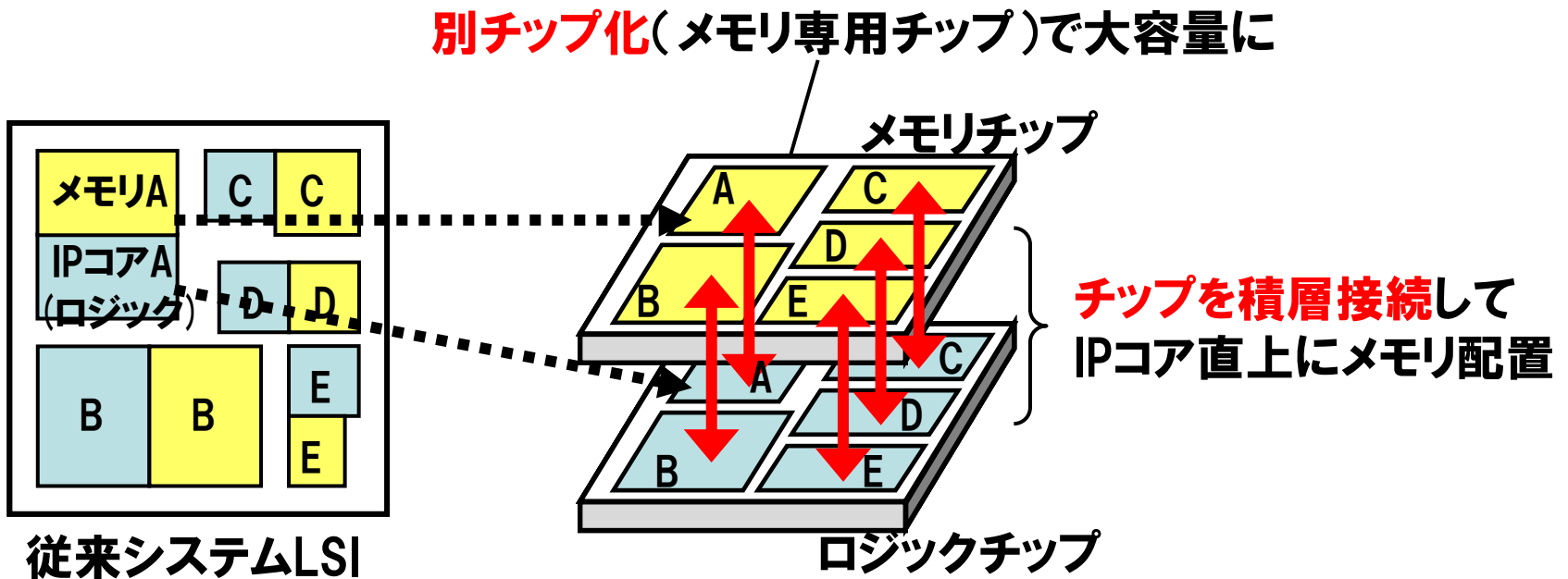
特徴

- システムLSIからメモリ部分を分離して独立のチップにし、3次元実装
- メモリチップをメモリタイルと2次元メッシュ・インターコネクで構成し、メモリ再構成を実現



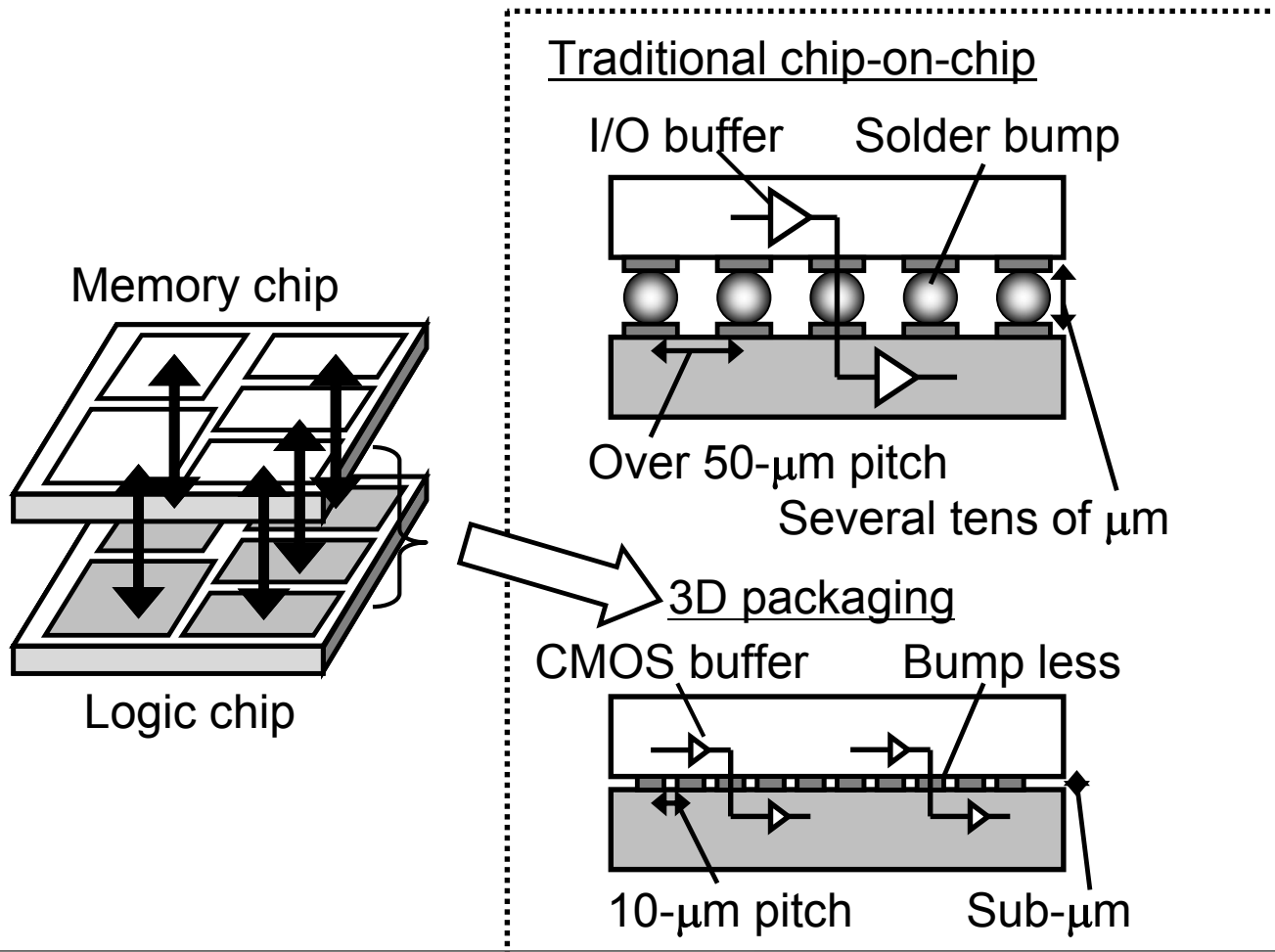
技術①：3次元実装技術

システムLSIの中の混載メモリを別チップ化して大容量化し、近接積層



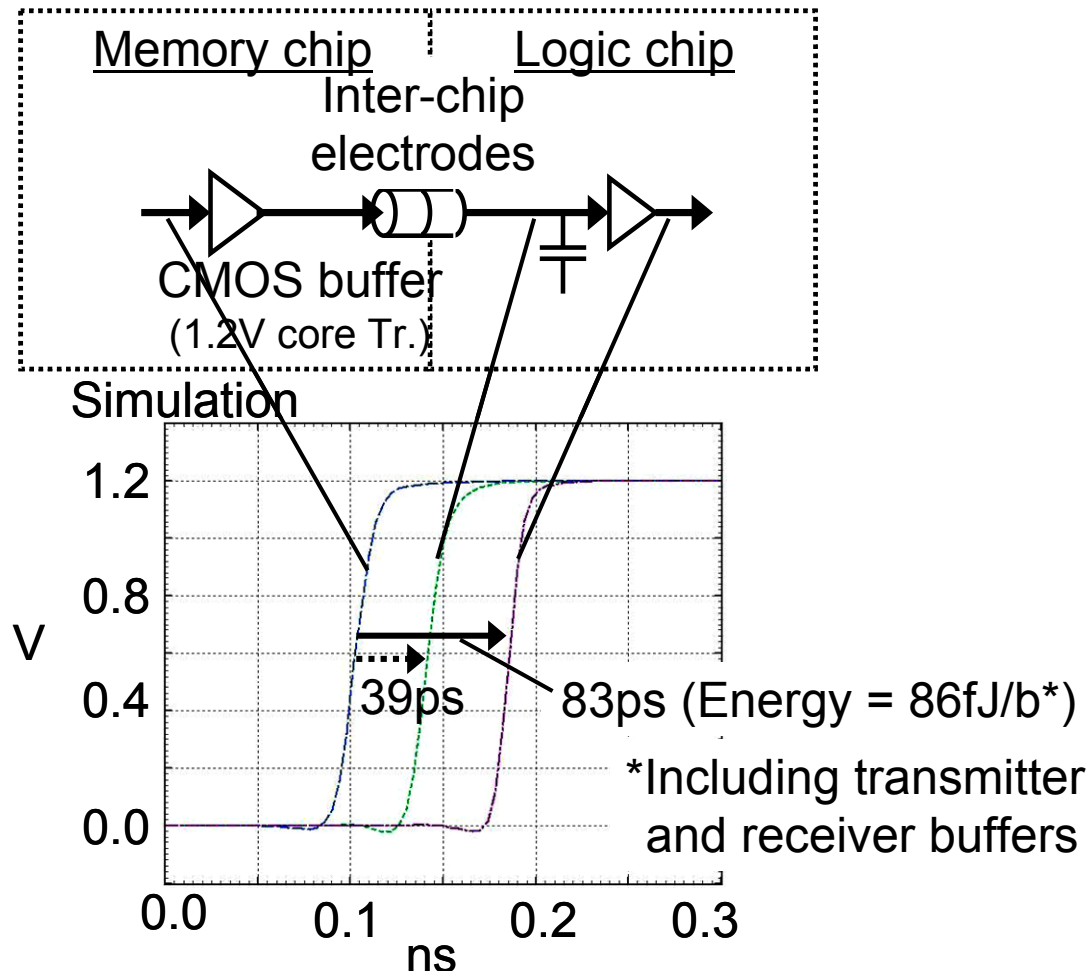
Bump-less CoC

- 10 μm の狭ピッチによる多ピン接続
- チップ間近接接続による低遅延伝送



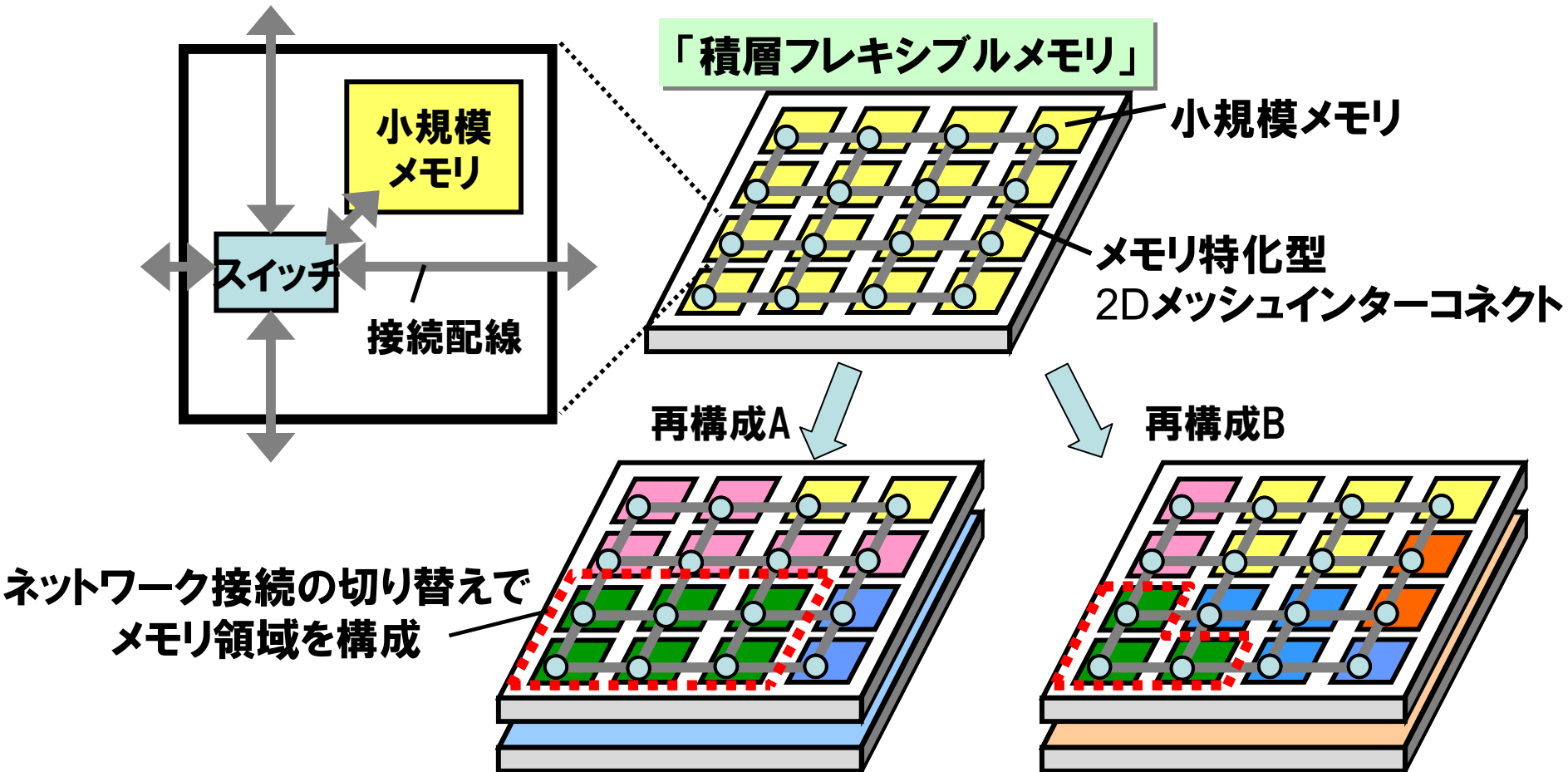
Bump-less CoCの特性

- 通常のCMOSバッファによるチップ間伝送が可能
- チップ内伝送並のチップ間伝送速度と消費電力



技術②：メモリ再構成技術

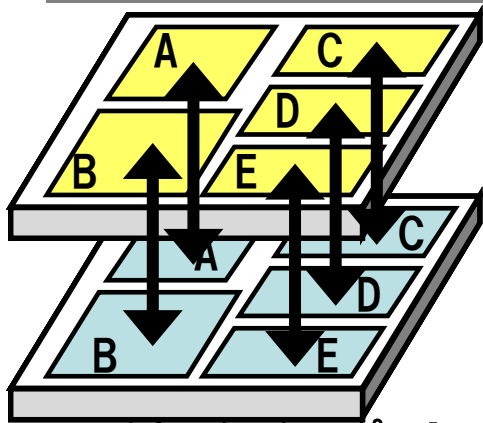
- 多数の小規模メモリをチップ内のインターコネクで結合
- スイッチ回路をプログラマブルにすることでメモリ領域とI/Oを自由に設定



多品種のシステムLSIで共通で使える『汎用化』

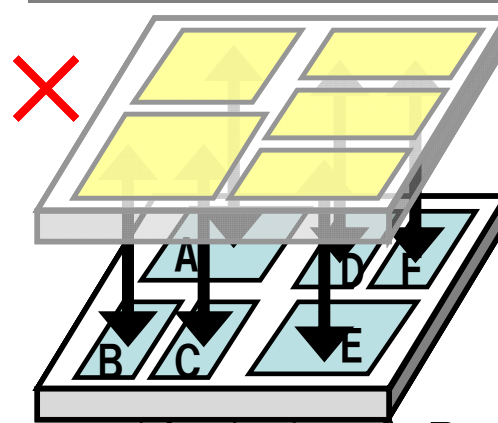
実現する機能・性能に応じてメモリを『静的構成』

品種AのシステムLSI



ロジックチップ-A

品種BのシステムLSI



ロジックチップ-B

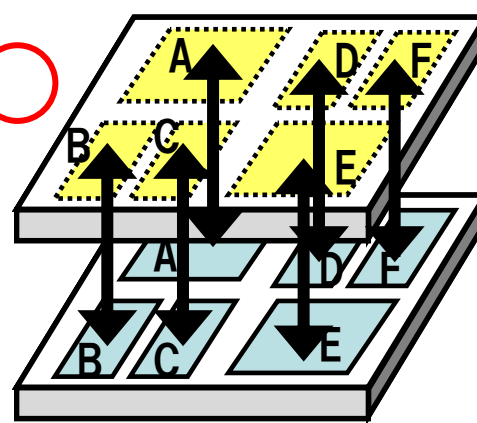
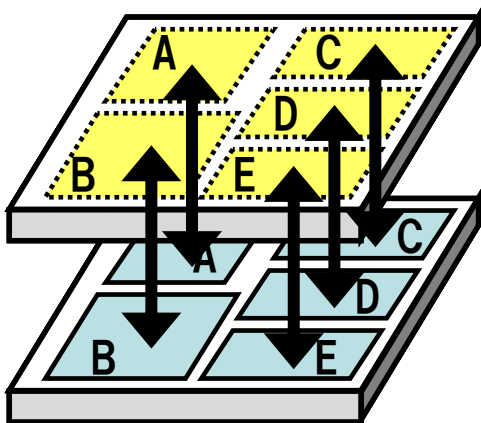
構成が固定



再構成可能



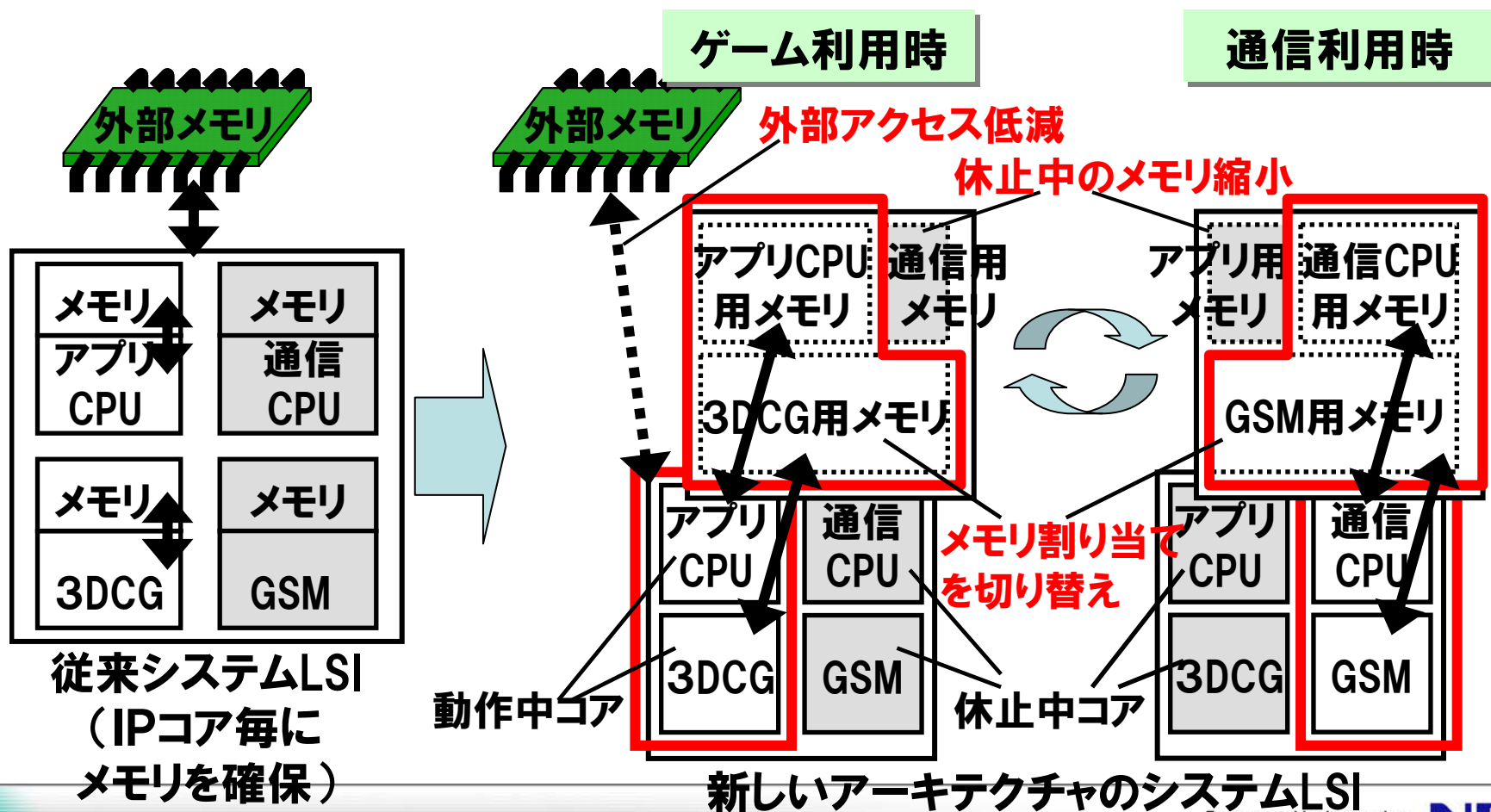
メモリ汎用化
→「低コスト」



メモリの利用効率の向上も可能

実現する機能・性能に応じてメモリを『動的再構成』

- 動作中のコアにメモリを効率的に割り当て、面積縮小 → さらに「低コスト」
- 電力消費の大きい外部メモリアクセスの低減 → 「省エネ」も



積層フレキシブルメモリ ・回路アーキテクチャ

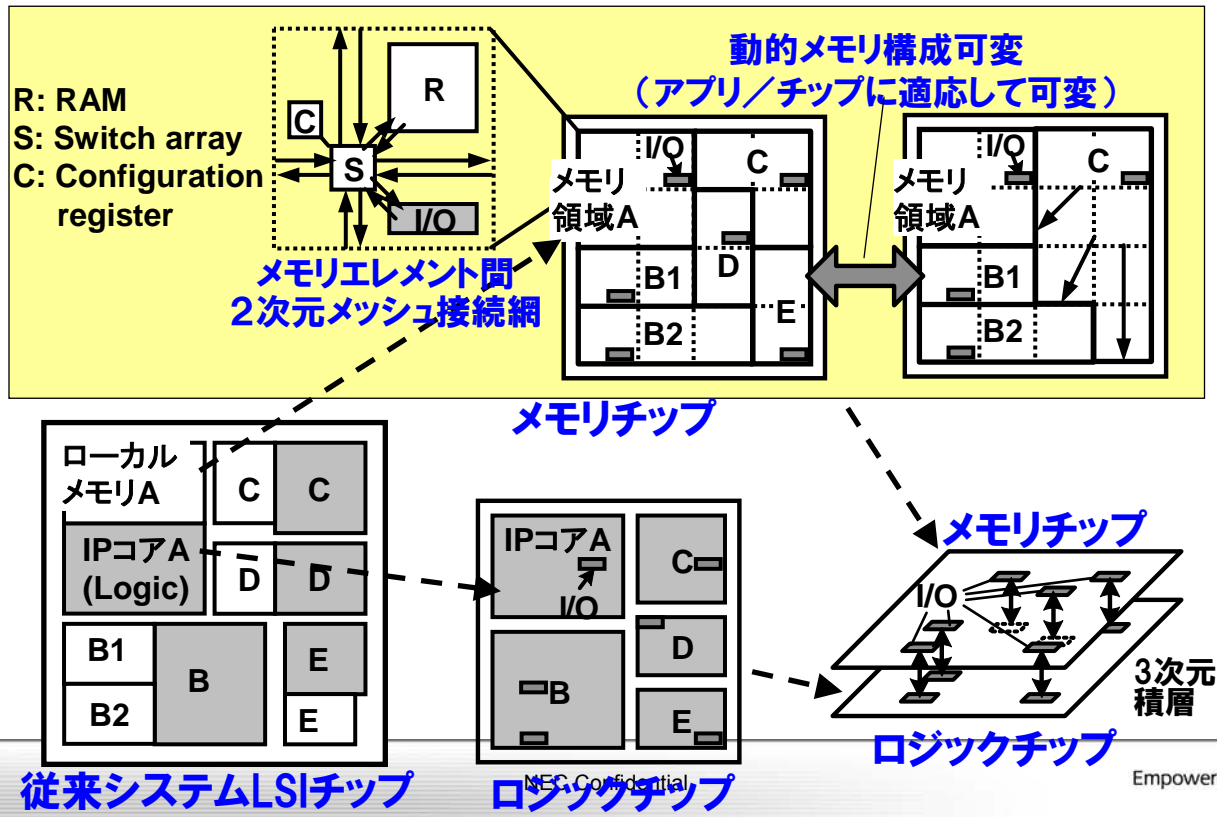
積層フレキシブルメモリのアーキテクチャ

メモリタイル間の結合によるメモリサイズの動的再構成

メモリとロジックのチップ間多並列接続

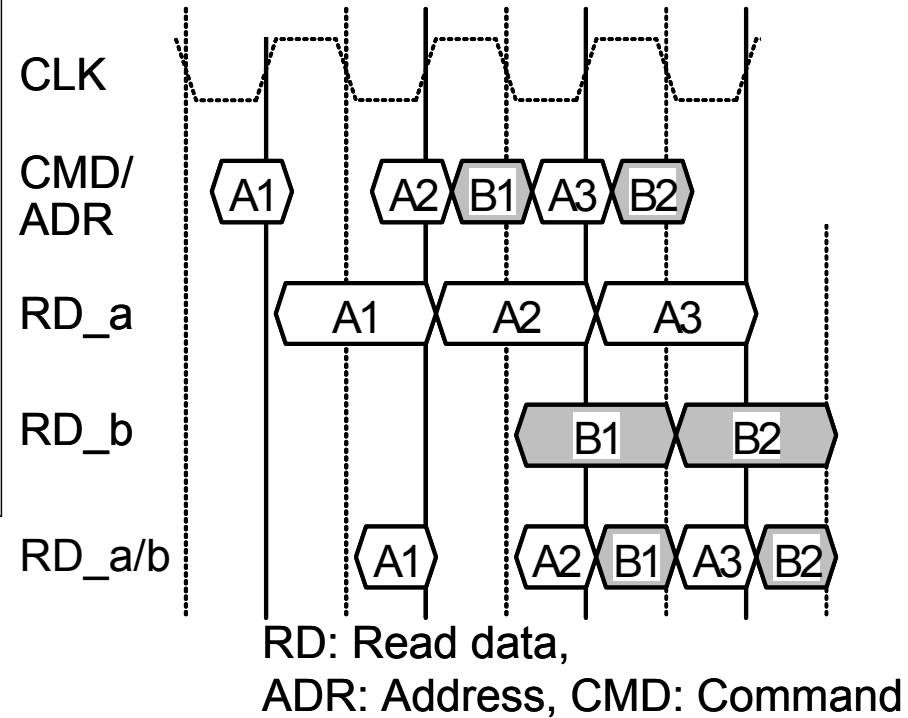
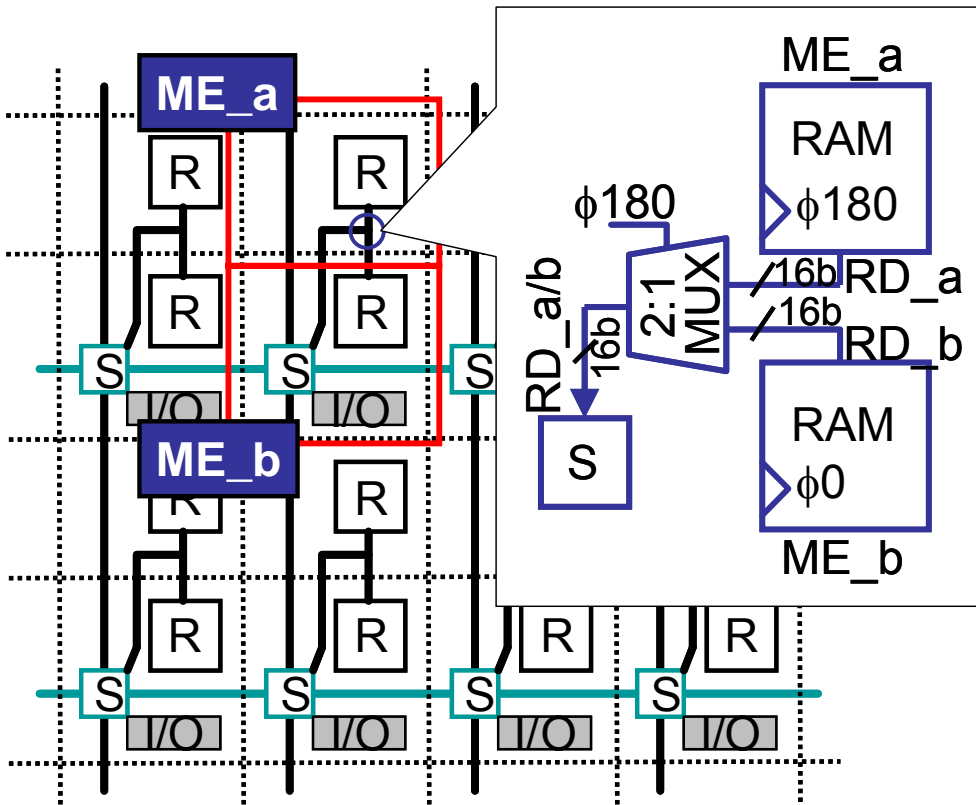
課題

- チップ内インターコネクトによる面積・遅延オーバーヘッド
- チップ間接続による遅延増大



面積・遅延オーバーヘッド削減 (1/3)

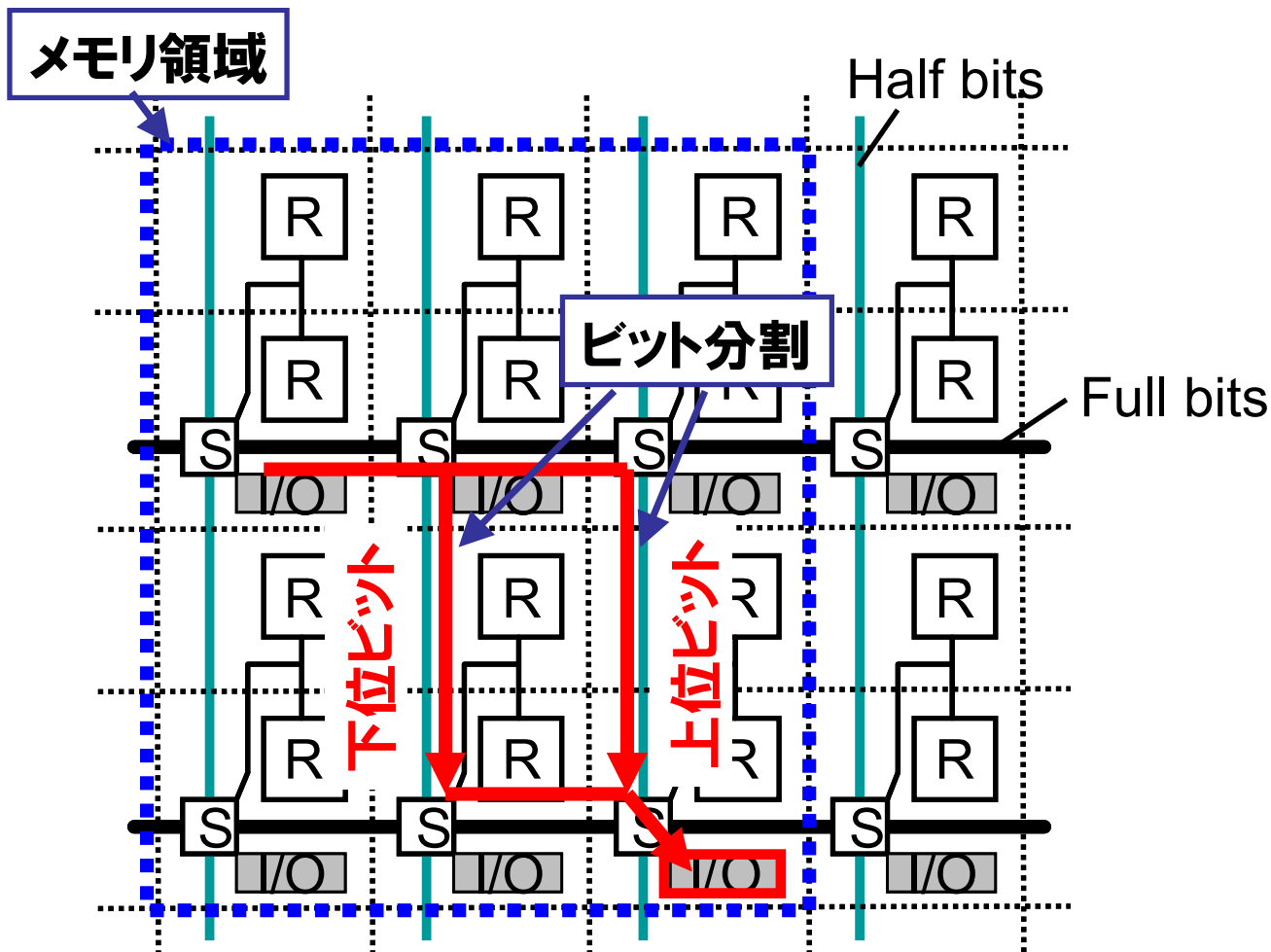
- メモリ特化型インターコネク①: 時分割多重(シリアル化)
- スイッチノード数を半減



面積・遅延オーバーヘッド削減 (2/3)

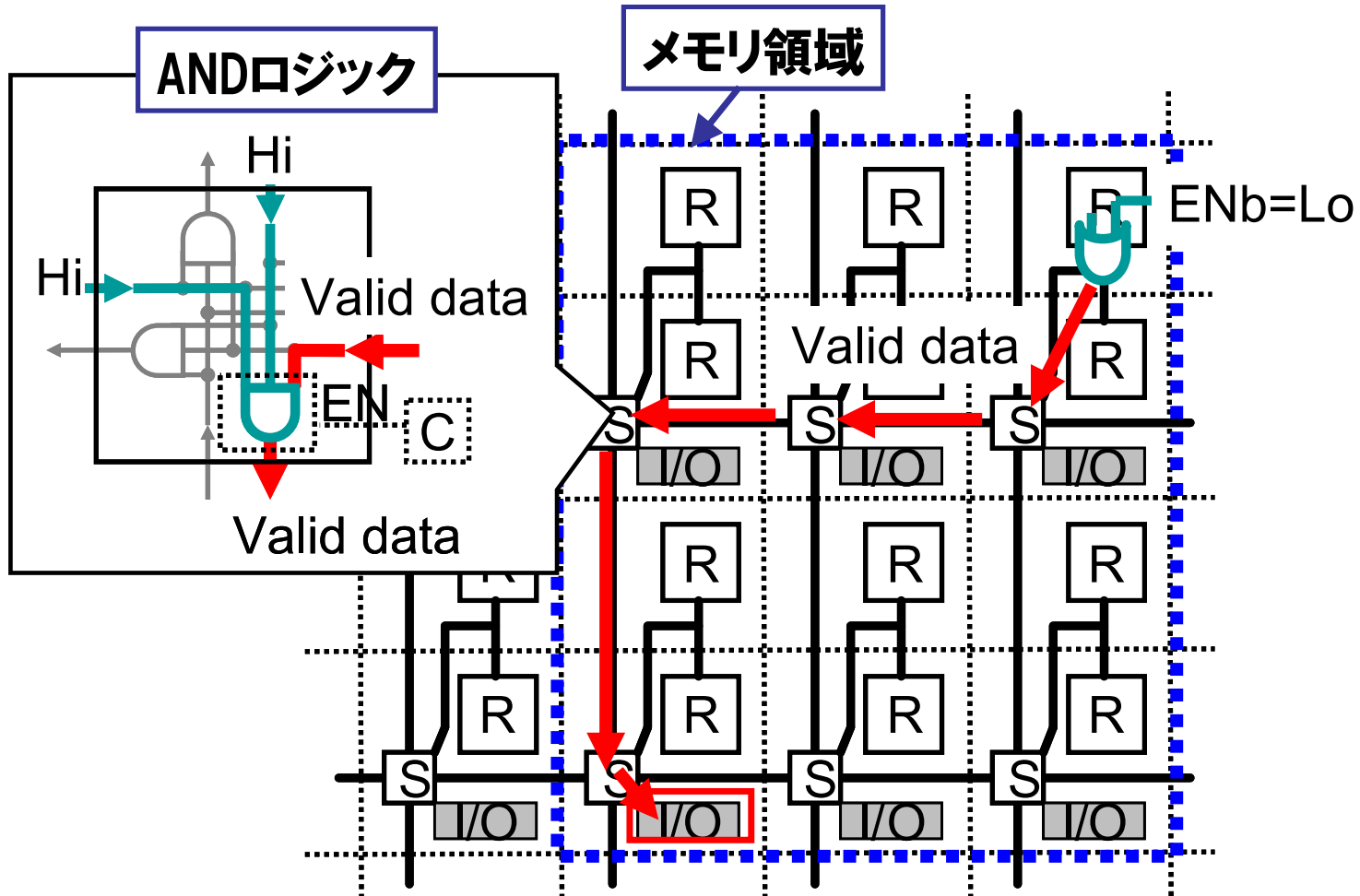
メモリ特化型インターコネクト②: ビット分割転送

垂直(水平)方向のビット幅を半減



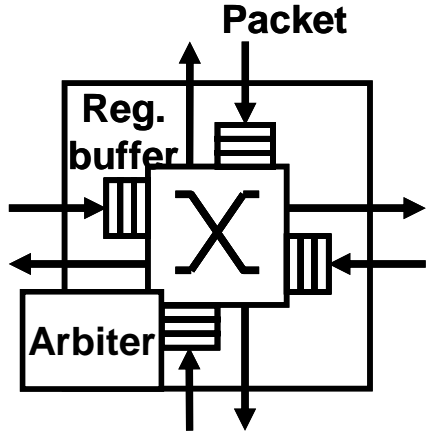
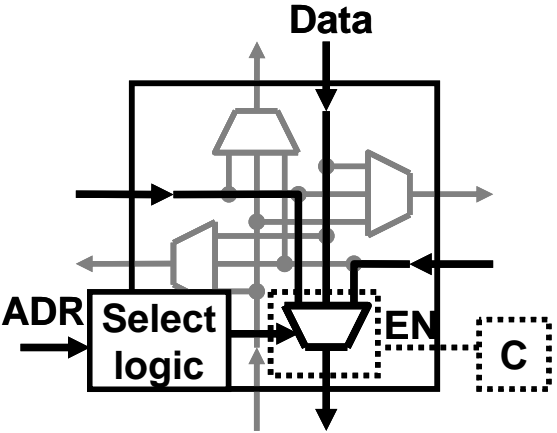
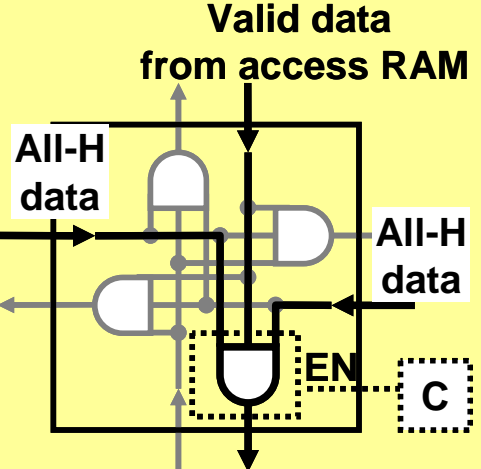
面積・遅延オーバーヘッド削減 (3/3)

- メモリ特化型インターコネクト③: ANDロジック・スイッチ
- 小規模のスイッチ回路



2Dメッシュインターコネクต์に使われるスイッチ比較

フレキシブルメモリではメモリアクセスに特化したスイッチ(ANDロジック)

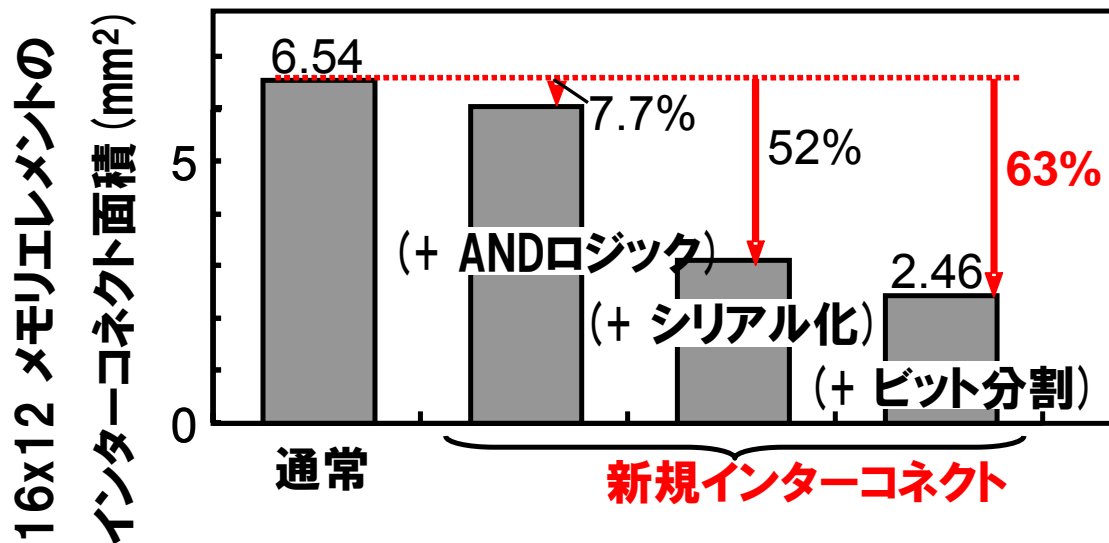
	パケットルーティング スイッチ	アドレス制御スイッチ	プログラマブル ANDロジックスイッチ
スイッチ構成	 <p>Packet Reg. buffer Arbiter</p>	 <p>Data ADR Select logic EN C</p>	 <p>Valid data from access RAM All-H data All-H data EN C</p>
回路	レジスタ、クロスバ	マルチプレクサ	ANDロジック
遅延	パケット解読 (more than 1 cycle) + クロスバ遅延	マルチプレクサ遅延	ANDロジック遅延
回路規模	Very large	Large	Small

面積の削減効果

メモリ特化型インターコネクต์による面積オーバーヘッド削減

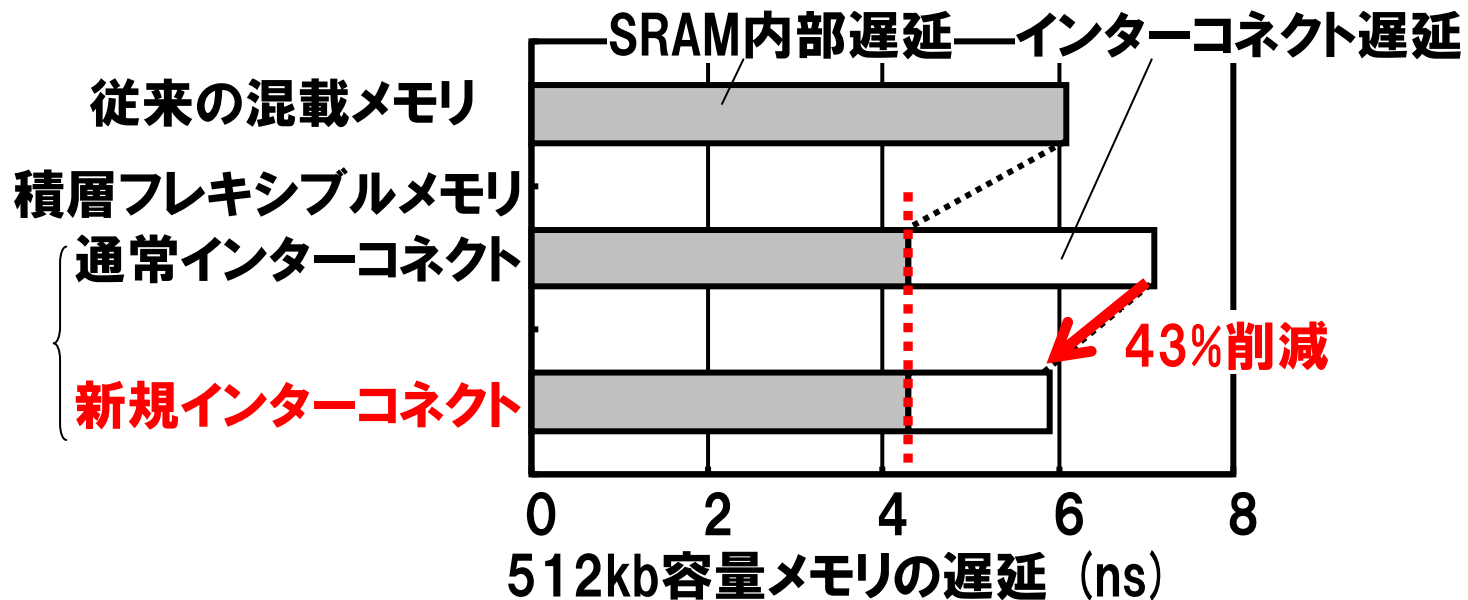
12×16 MEのレイアウト

2Dメッシュインターコネクต์構成	通常インターコネクต์ (面積削減策なし)	新規インターコネクต์
レイアウト面積 ((a)+(b)) [mm ²]	22.20	18.12
(a) SRAMマクロ合計	15.66	15.66
(b) 2Dメッシュインターコネクต์	6.54	2.46



遅延の削減効果

- メモリ特化型インターコネクトによる遅延オーバーヘッド削減
- 512bits容量(16 ME)のメモリ領域の読み出し遅延



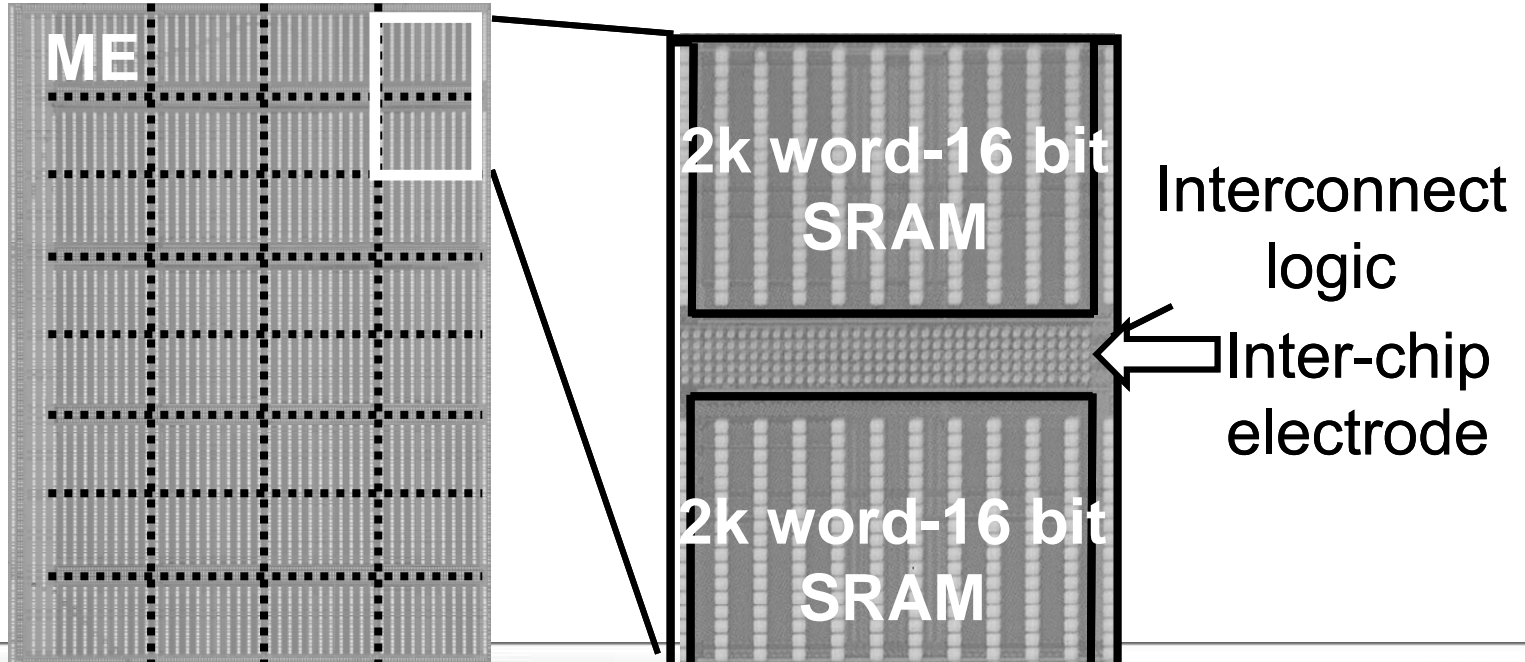
積層フレキシブルメモリ

- ・プロトタイプ試作と評価

メモリチップのプロットタイプ

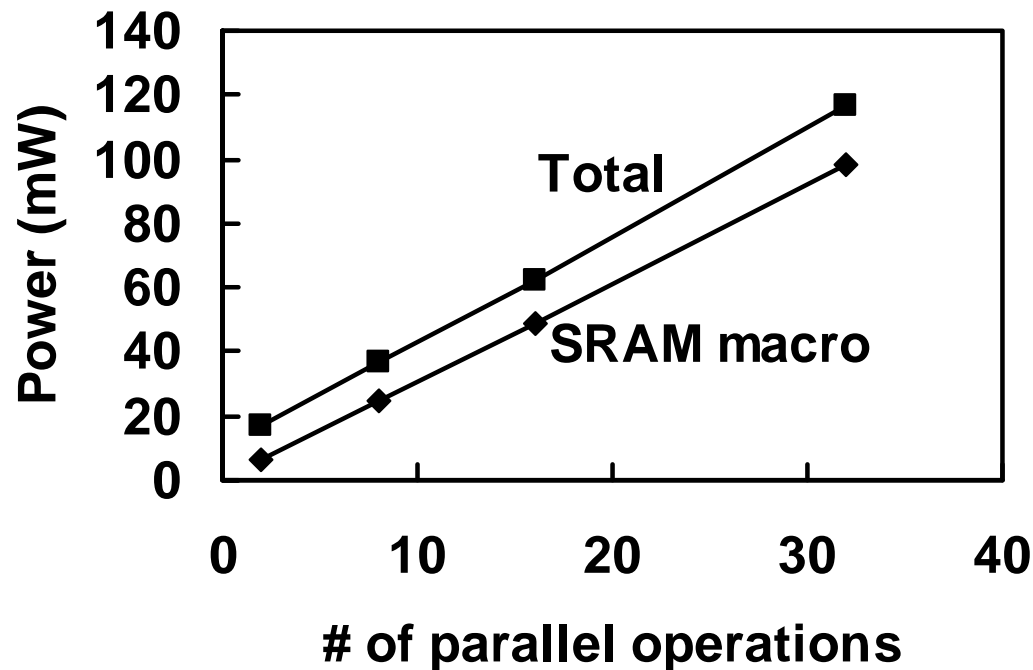
4x8メモリエLEMENTのフレキシブルメモリ

SRAM全容量	1M bits
テクノロジー	90nm, 1.2V
チップサイズ	1.6mm × 2.2mm
I/Oブロック数	16
チップ間電極	Au/Cu, 5 μ m×5 μ m size, 10 μ m pitch
電極数	3269 (信号ライン821)



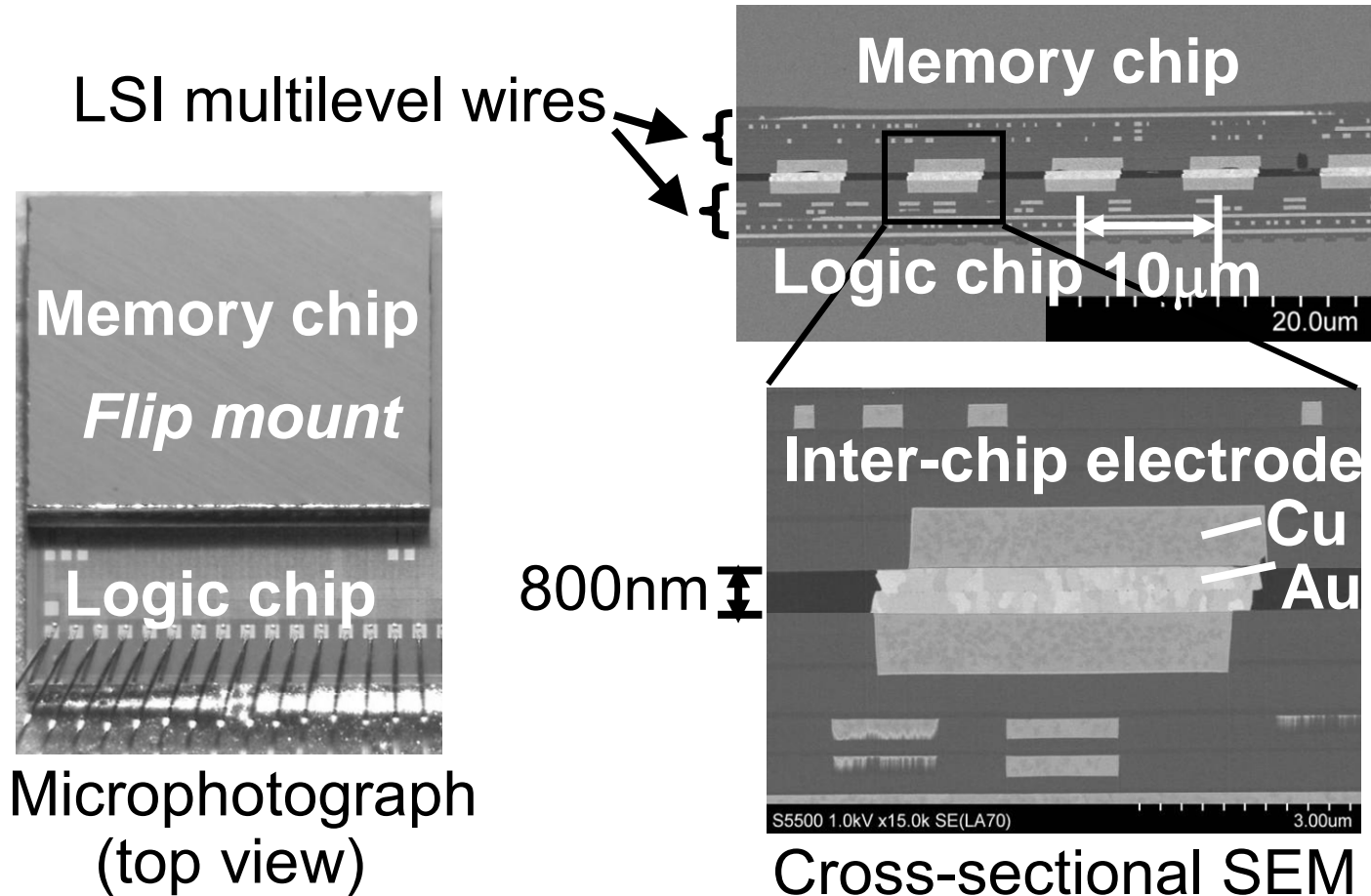
メモリチップの消費電力(Sim)

- 32メモリ並列アクセス時(バンド幅8GB/s@125MHz)の電力は120mW
- 2Dインターコネクタ部の電力は20mW程度
- 再構成の電力(メモリアクセスなし、毎サイクル動的再構成時)は35mW



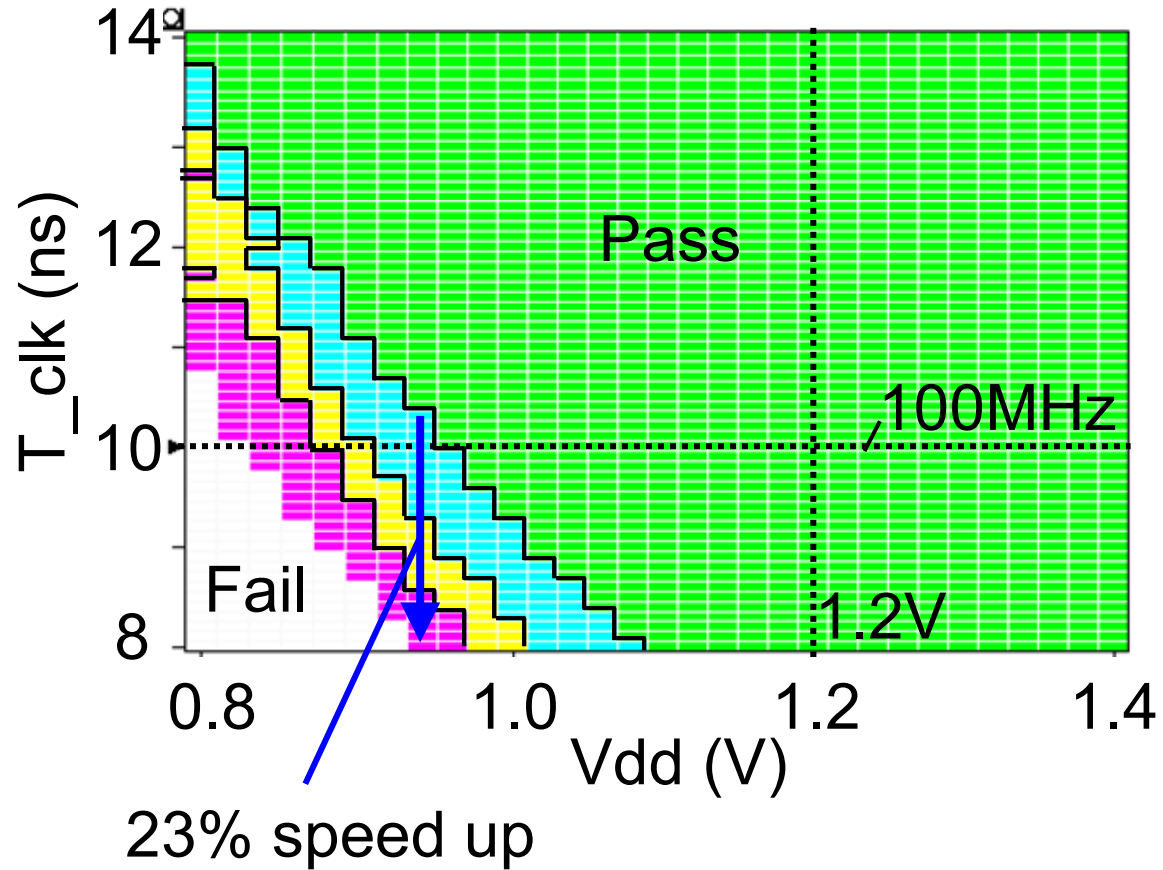
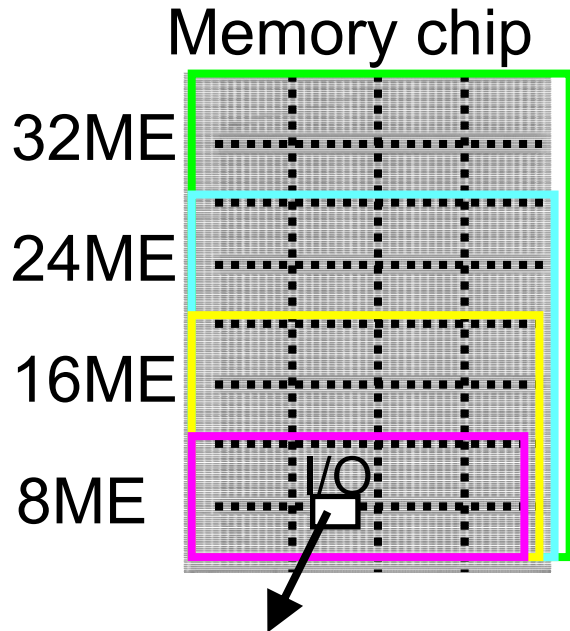
積層フレキシブルメモリの3次元実装

Bump-less CoCによるメモリチップとロジックチップの積層



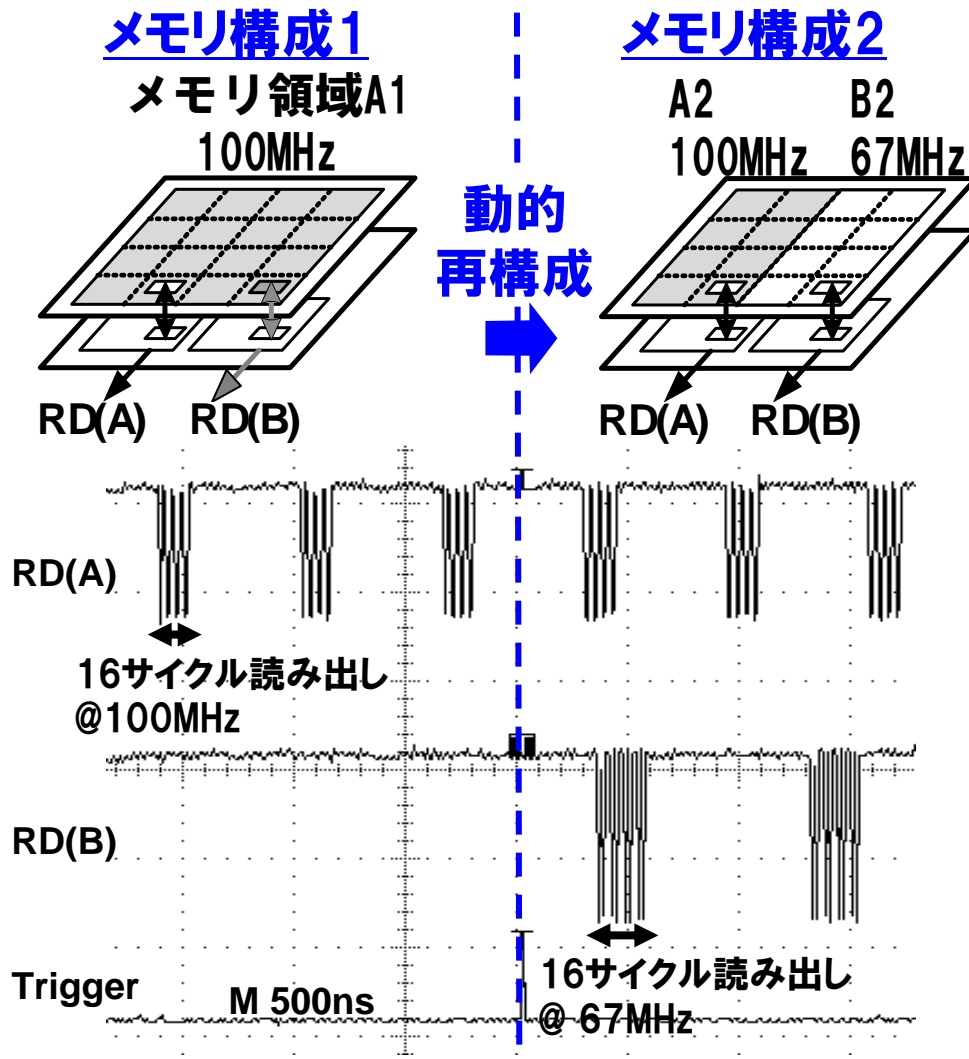
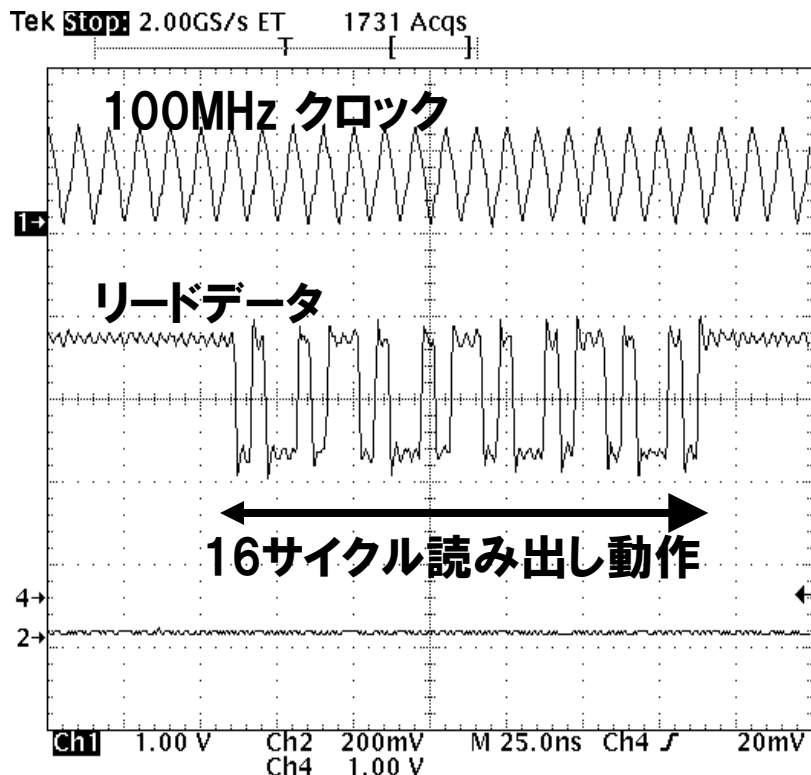
Shmooプロット

メモリ領域サイズに依存したメモリアクセス速度を観測



積層フレキシブルメモリの動的再構成を測定

動的再構成時の読み出しデータ波形を観測



まとめ

3D集積技術と応用の紹介

積層フレキシブルメモリ

- 3次元実装と動的再構成メモリによる新しいコンセプトのメモリ
- 3次元実装(Bump-less CoC)でチップ内伝送並のチップ間伝送性能実現
- 動的再構成による面積、遅延オーバーヘッドをメモリ特化の接続網で低減
- プロトタイプで基本動作確認

今後の課題

- 3次元実装の低コスト、量産技術
- メモリ再構成を利用したシステム、コンピュータアーキテクチャ

Empowered by Innovation

NEC