

グリーンコンピューティングに関する 産学連携研究開発

早稲田大学

理工学術院基幹理工学部情報理工学科 教授
アドバンスト・マルチコア・プロセッサ研究所 所長

IEEE Computer Society理事
笠原博徳

1985年 早稲田大学博士課程了 工学博士
カリフォルニア大学バークレー客員研究員
1986年 早大理工専任講師, 1988年 助教授
1997年 教授、現在 理工学術院情報理工学科
1989年～1990年 イリノイ大学Center for
Supercomputing R&D客員研究員
2009年 IEEE Computer Society 理事
2012 年 IEEE Computer Societyマルチコア戦略委員長

1987年 IFAC World Congress Young Author Prize
1997年 情報処理学会坂井記念特別賞
2005年 STARC(半導体理工学研究センタ)共同研究賞
2008年 LSI・オブ・ザ・イヤー 2008 準グランプリ
2008年 Intel Asia Academic Forum Best Research Award
2010年IEEE Computer Society Golden Core Member

査読付論文 191件, 招待講演110件, シンポジウム論文 30件,
研究会論文 138件, 全国大会論文 154件, 特許公開 39件
新聞・Web記事・TV等メディア掲載 467件

政府・学会委員等歴任数 226件

【経済産業省・NEDO】情報家電用マルチコア及びコンパイラ等国
家プロジェクトリーダー、NEDOコンピュータ戦略(ロードマップ)委員
長、「グリーンネットワーク・システムプロジェクト(グリーンITプロ
ジェクト)」技術委員長【内閣府】スーパーコンピュータ戦略委員
会, 政府調達苦情検討委員, 【文部科学省・JST・JSPS・JAXA・原
子力機構・海洋研】地球シミュレータ(ES)評価委員、情報科学技
術委員, H P C I 計画推進委員, 次世代スパコン(京)中間評価委
員・概念設計評価委員, ES2導入技術アドバイザリー委員長,
IEEE, 情報処理学会, ACM Conf.PC, 高校生科学技術チャレンジ審
査委員

2013/1/31
10:00-10:45

情報処置学会第195回計算機アーキテクチャ研究会
早稲田大学グリーンコンピューティングシステム研究開発センター

グリーン・コンピューティング・システム研究開発センター 概要

2011年4月13日竣工, 2011年5月13日開所(記念シンポジウム)

経済産業省「2009年度産業技術研究開発施設整備費補助金」

先端イノベーション拠点整備事業

<目標>

太陽電池で駆動可能で
冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

<産学連携>

日立, 富士通, ルネサス, NEC, トヨタ,
デンソー, オリンパス,
三菱電機(重粒子線ガン治療) 等

<波及効果>

超低消費電力メニーコア

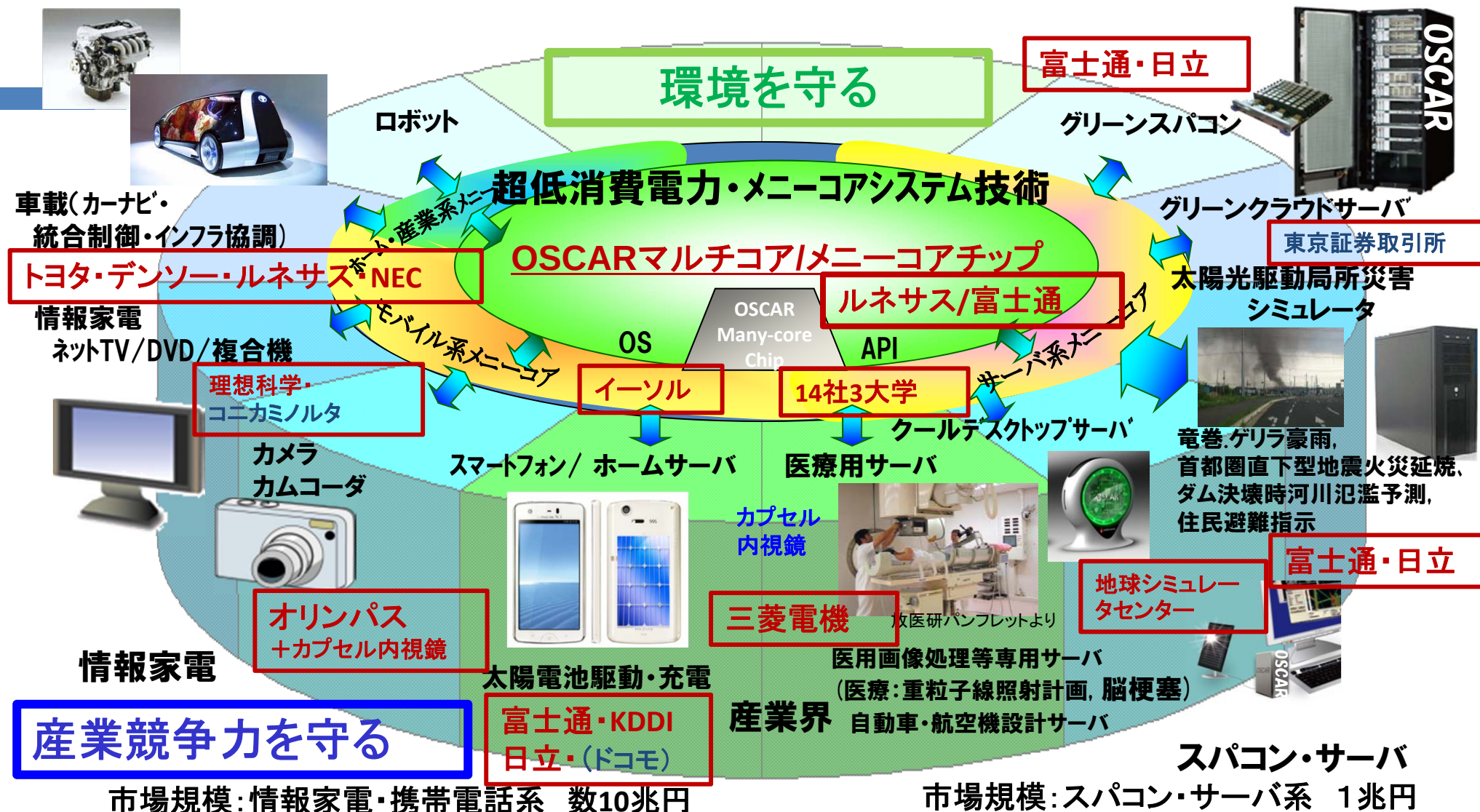
- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電, 自動車等の高付加価値化



2011グッドデザイン賞受賞

早稲田大学GCSにおけるマルチコア産学連携開発と実用化イメージ

命を守る

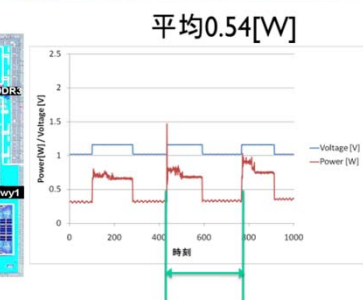
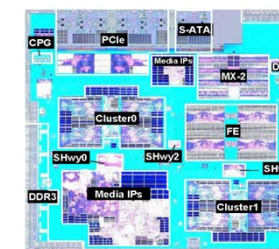
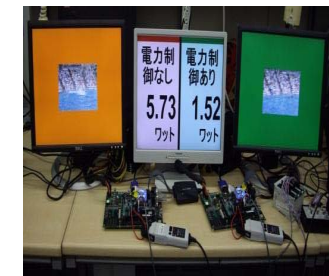


2013/1/31

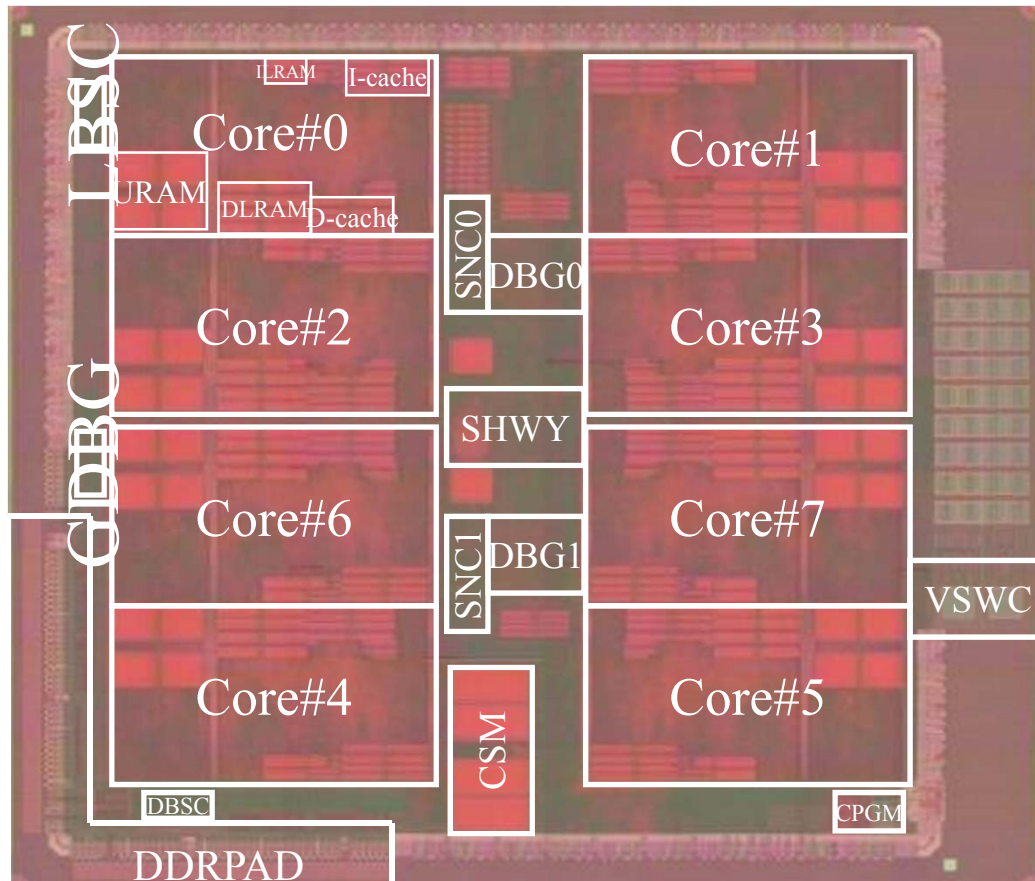
早稲田大学 GCSセンター
マルチコア産学連携研究と実用化イメージ

早稲田大学におけるマルチコアに関する 産官学連携と人材育成経緯

- **2009- 経産省先端イノベーション拠点整備事業**
グリーンコンピューティングシステム研究開発センター (ユーザ企業との連携)
 2011- 富士通・日立・オリンパス・トヨタ・デンソー・NEC・ルネサス連携研究室
 KDDI・理想科学・三菱電機・コニカミノルタ・イーソル等共同研究, API:14社3大学
- **2006-09 経産省NEDO 情報家電用ヘテロジニアスマルチコア**
 低消費電力ヘテロマルチコアを産官学で試作 15コアRPX
 (委託)早稲田(ヘテロAPI:6社) (助成)日立・ルネサステクノロジ
- **2005-07 経産省NEDO リアルタイム情報家電用マルチコア**
 低消費電力高性能プロセッサ&ソフトウェアを産学連携研究開発
 “授業であって開発の場:白井総長・経産省塩沢審議官”
 (委託)早稲田(API委員会:日立,ルネサス,富士通,東芝,松下,NEC)
 (助成)日立・ルネサステクノロジ →4コアRP1, 8コアRP2: **2コアは市場へ**
- **2004-06 経産省NEDO大学発事業創出実用化研究開発**
先進ヘテロジニアスマルチプロセッサ(日立・早稲田包括連携)
 ➤ 産学単独ではなし得ない知財創出・産学の人材育成を狙う(**基本特許**)
- **2000-06 STARCコンパイラ協調型チップマルチプロセッサ**
 ➤ (国内12社出資の半導体理工学研究センター:富士通,東芝,NEC, 松下,ソニー等)
 ➤ 産のニーズと学のシーズを企業連合支援プロジェクトという形で融合
- **2000-02 内閣府ミレニアムプロジェクトIT21 経産省NEDO**
アドバンスト並列化コンパイラ(APC)プロジェクト
 HPC並列化コンパイラ技術を世界一へ(早稲田,富士通,日立,産総研,JIPDEC)



早稲田OSCARコンパイラ協調型アーキテクチャ ホモジニアスマルチコアRP2 SH4A8コア搭載



8コア集積マルチコアLSIチップ写真

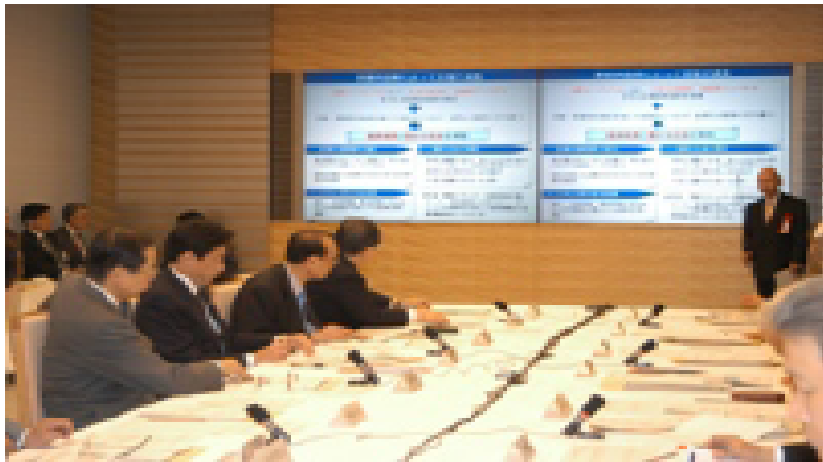
プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

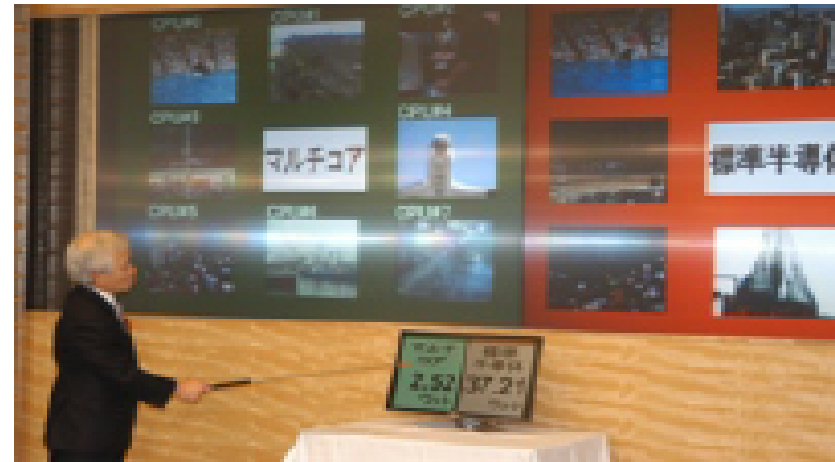
NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

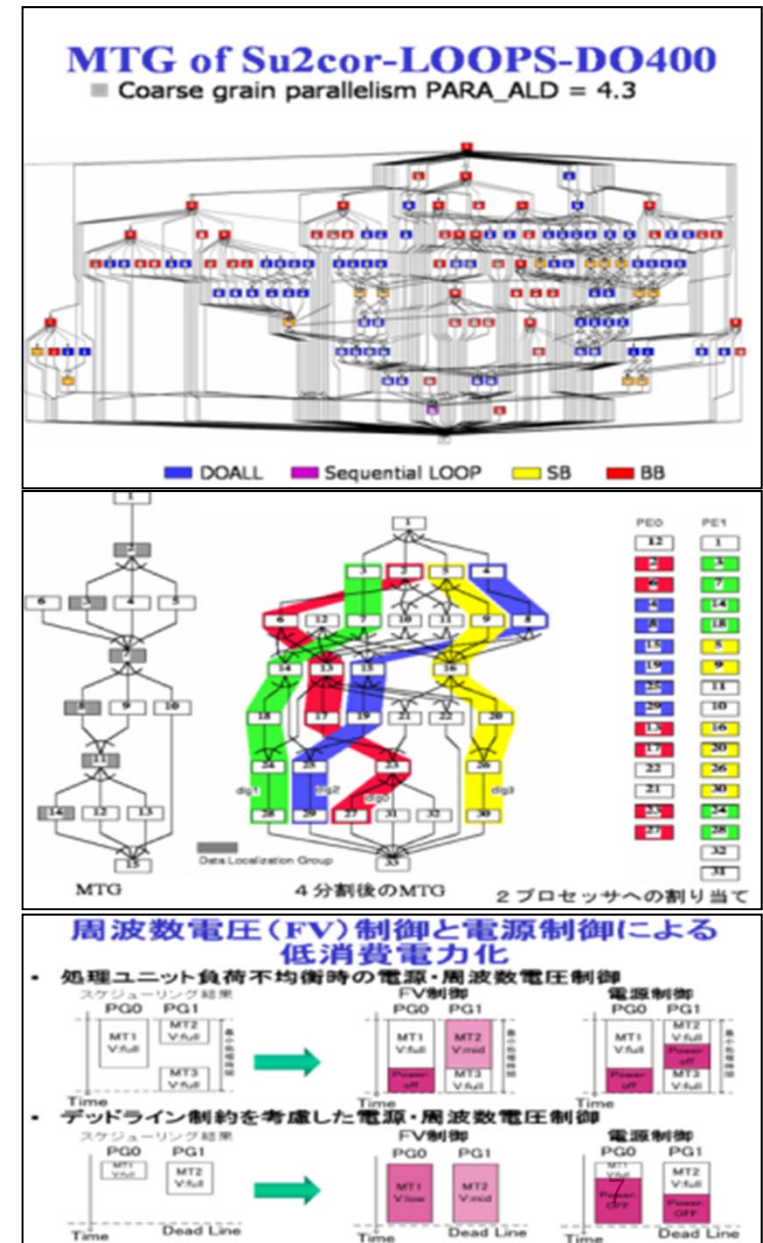
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグ레인並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

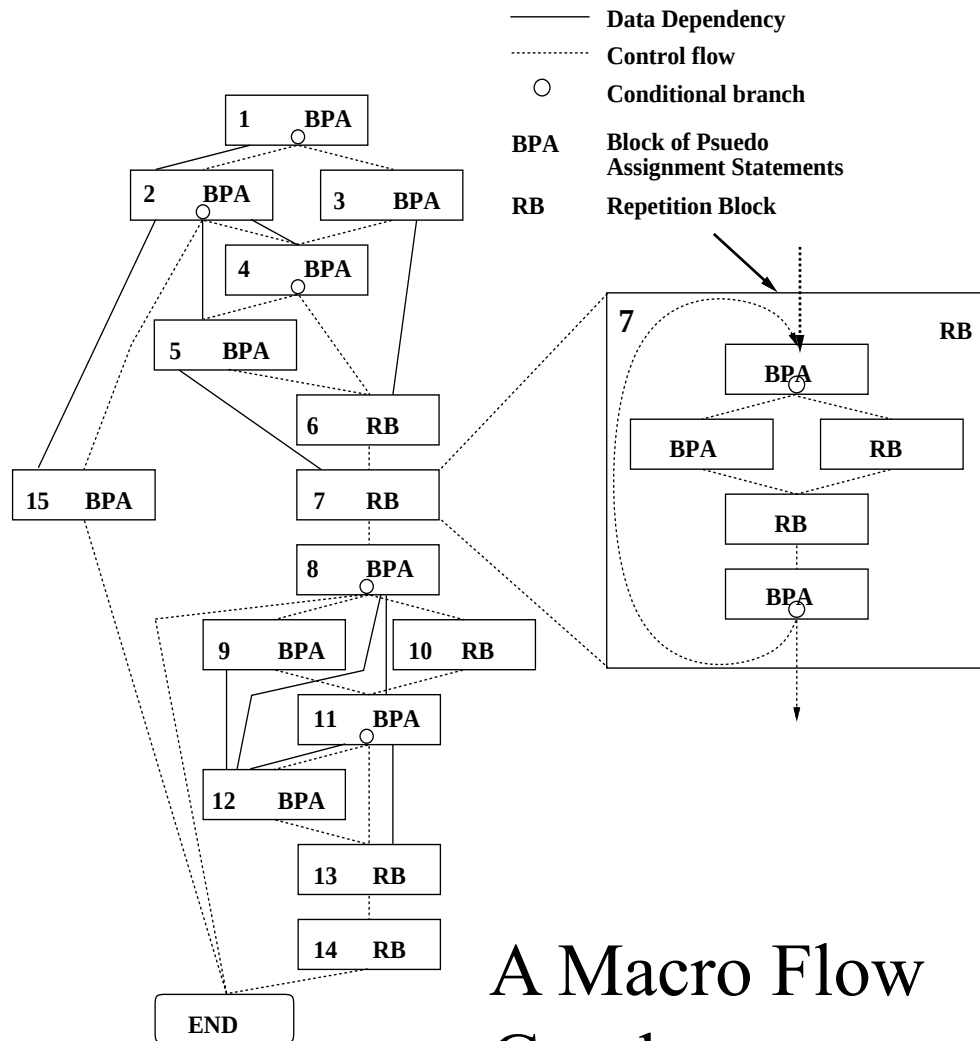
- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3. 消費電力増大による速度向上の鈍化

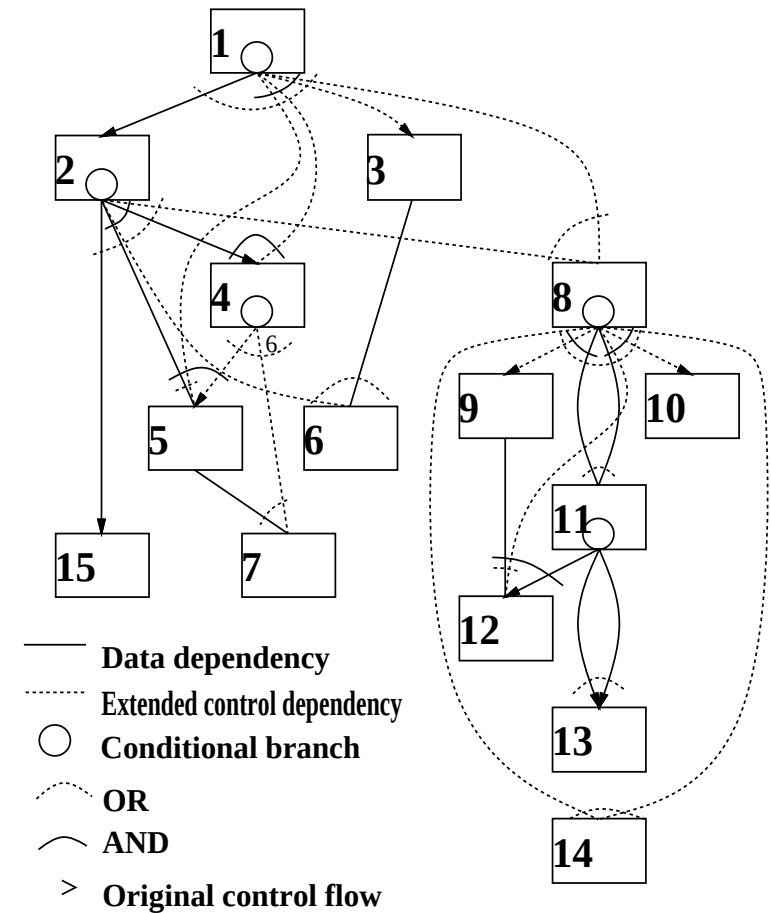
- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



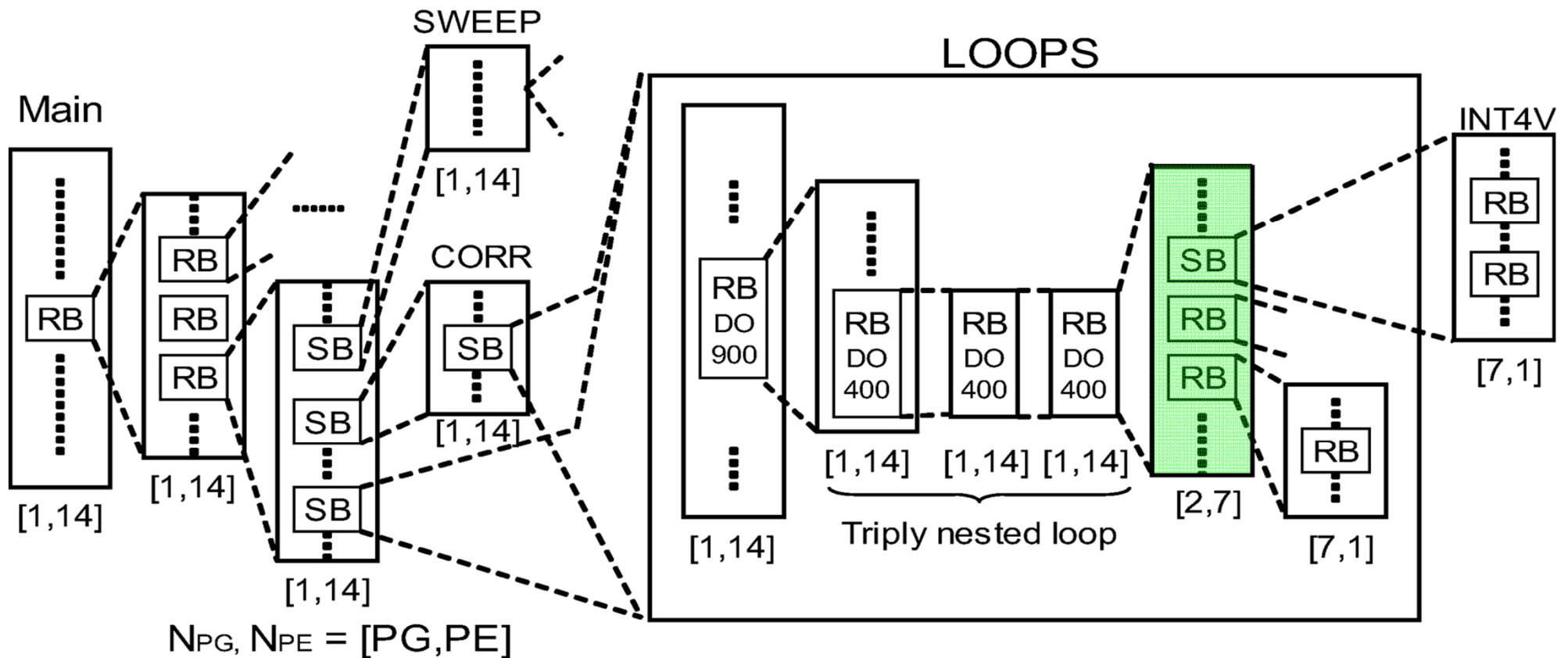
A Macro Flow Graph



A Macro Task Graph

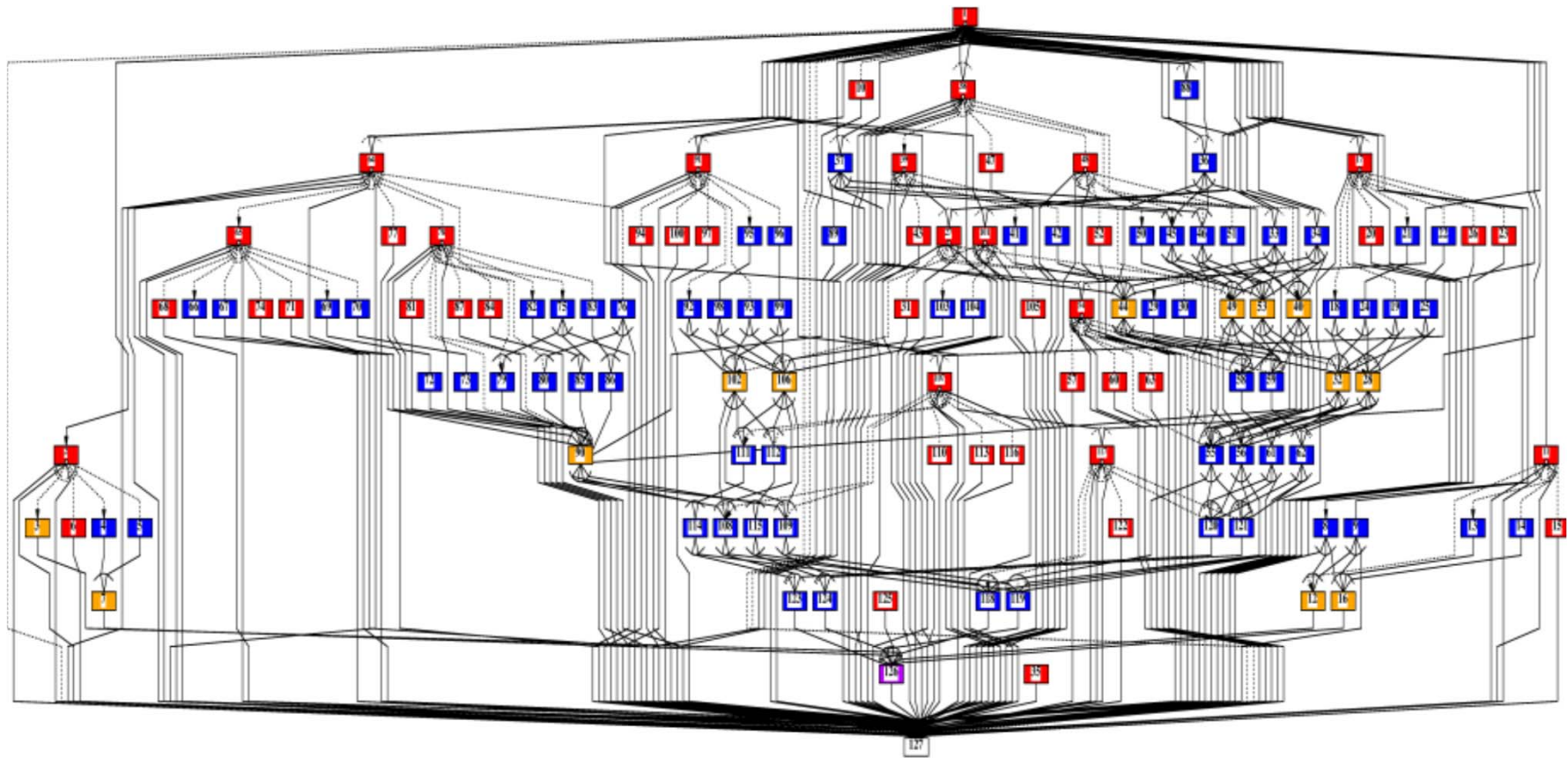
Automatic processor assignment in su2cor

- **Using 14 processors**
 - **Coarse grain parallelization within DO400 of subroutine LOOPS**



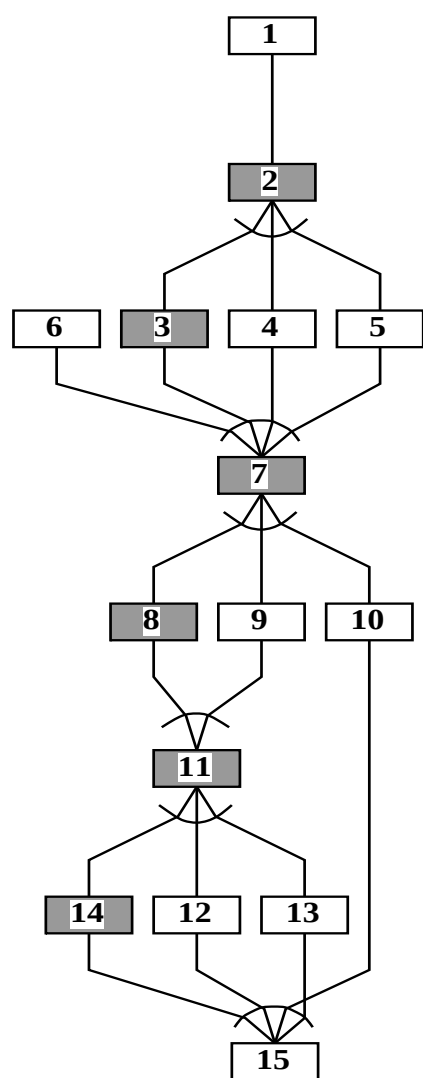
MTG of Su2cor-LOOPS-DO400

■ Coarse grain parallelism $\text{PARA_ALD} = 4.3$

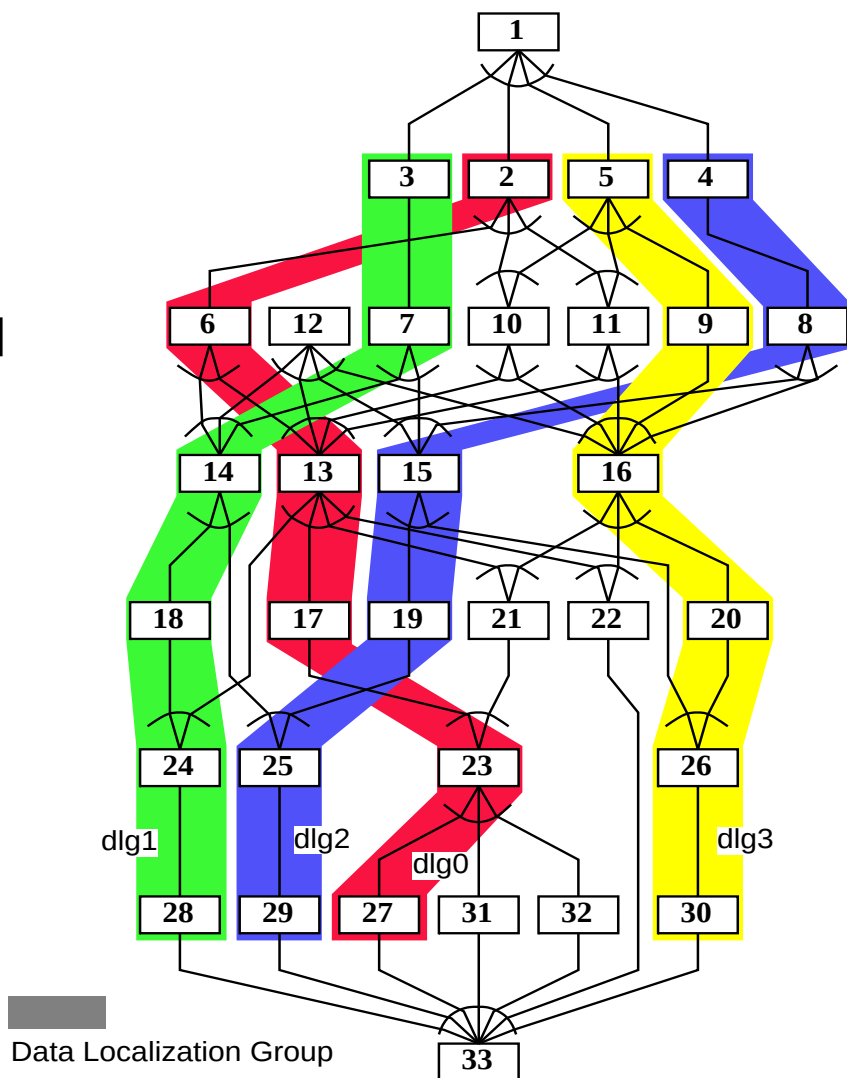


■ DOALL ■ Sequential LOOP ■ SB ■ BB

データローカライゼーションのイメージ



MTG



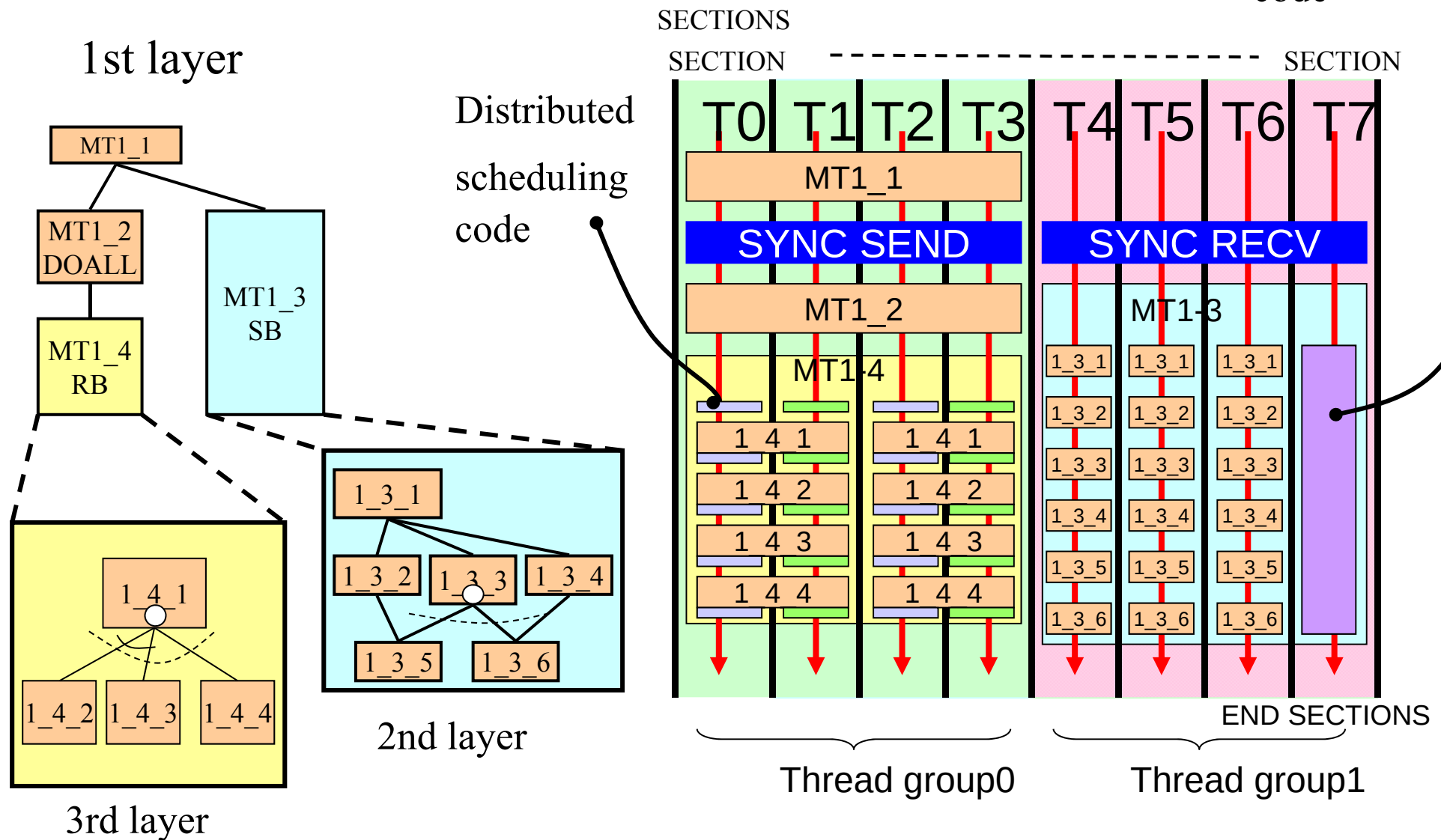
Data Localization Group

4 分割後のMTG

2 プロセッサへの割り当て

PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ



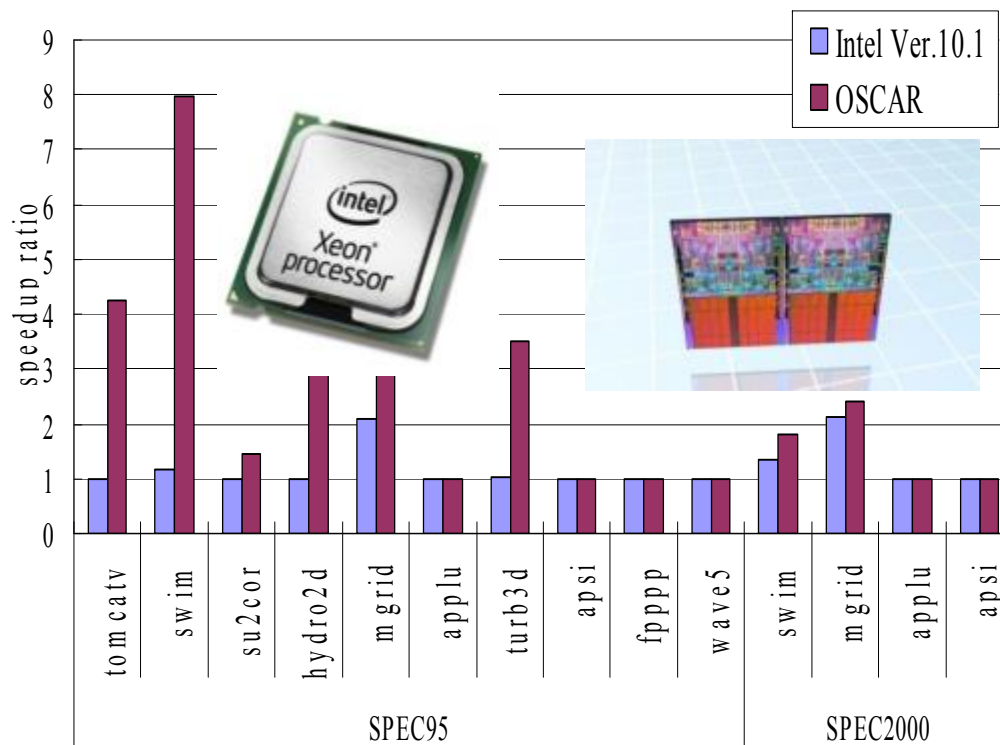
現状：世界最高性能のOSCARコンパイラの性能

インテル・IBMマルチコアサーバ上でそれぞれ2倍・3倍以上の高速化

インテル クアッドコアXeonプロセッサ上での 早稲田大学 OSCARコンパイラの性能

インテル・マルチコア上で
インテルコンパイラに比べ

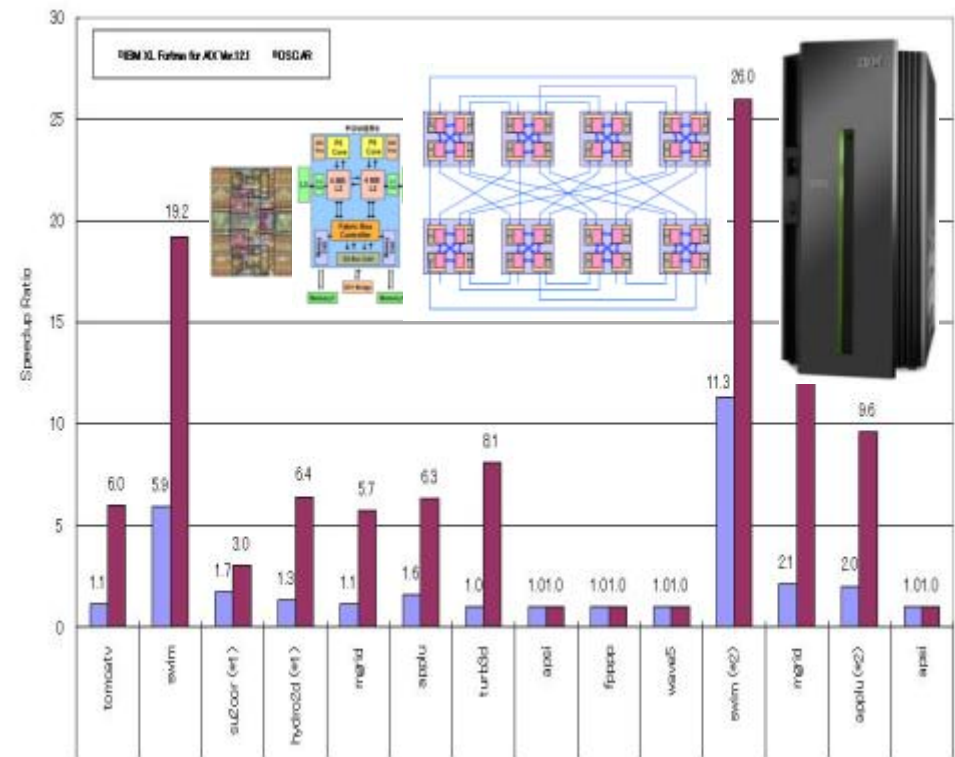
2.1 倍速度向上



IBM p6 595 Power6 (4.2GHz) ベース 32コア SMP サーバ上での早稲田大学OSCARコンパイラの性能

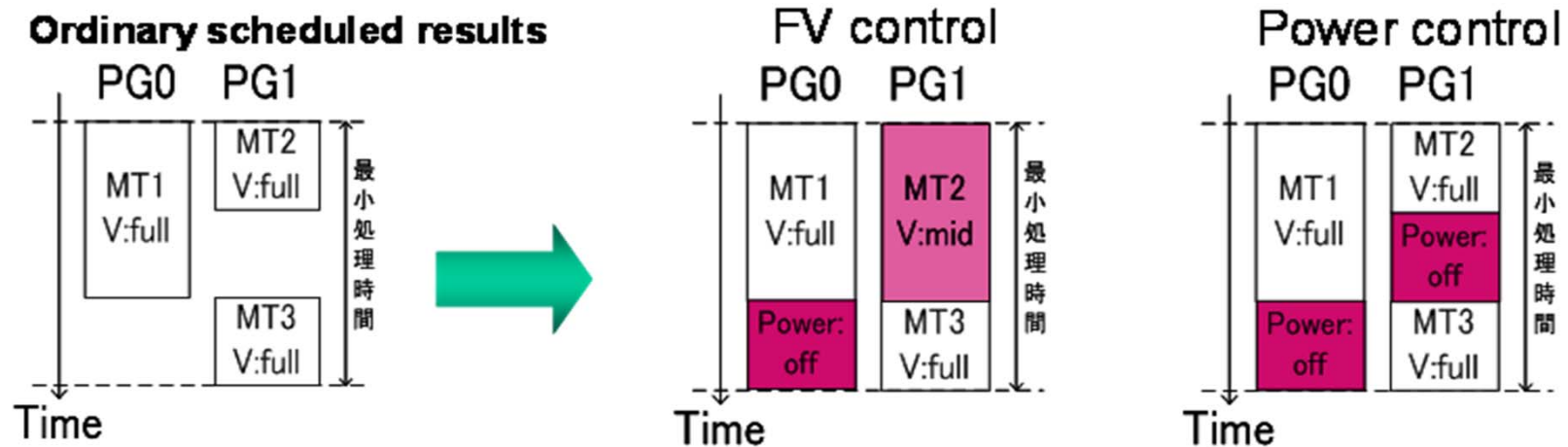
IBM最新サーバ上で
IBMコンパイラに比べ

3.3 倍速度向上

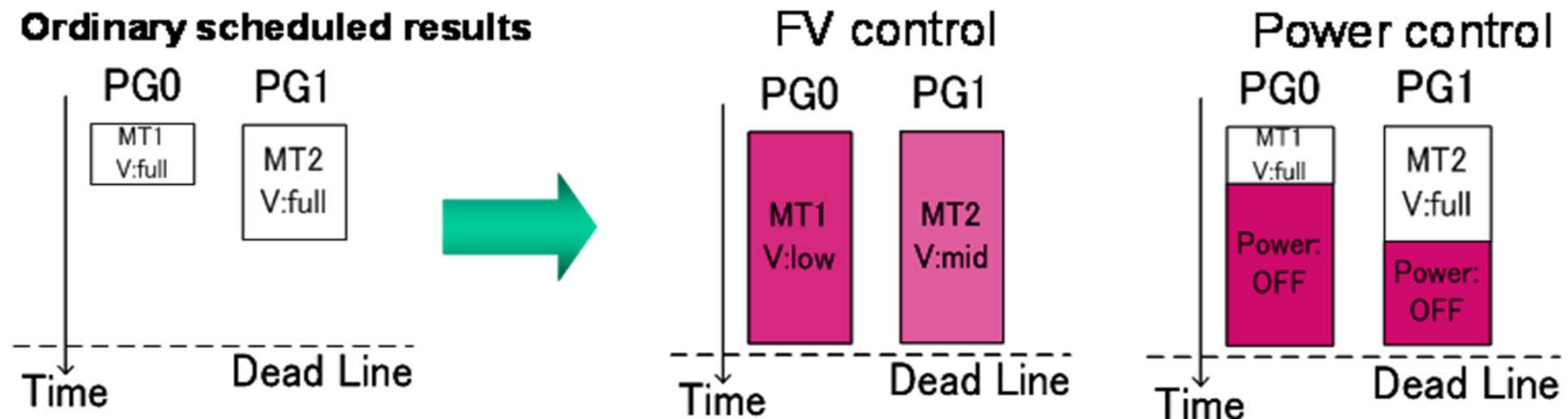


Power Reduction by Power Supply, Clock Frequency and Voltage Control by OSCAR Compiler

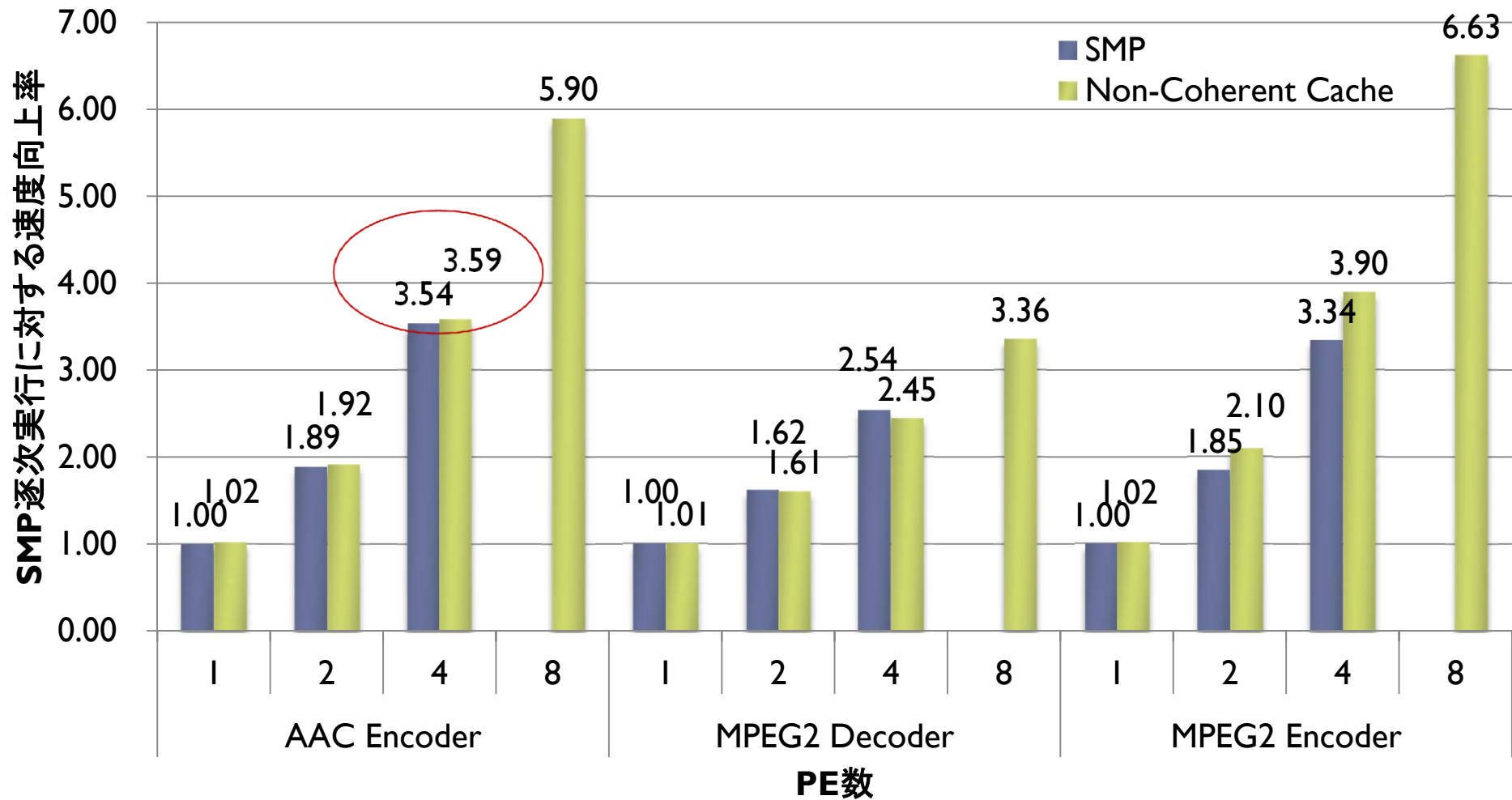
- Shortest execution time mode



- Realtime processing mode with dead line constraints



RP2マルチコア上で、**OSCAR**並列化コンパイラによる自動ソフトウェアコヒーレンス制御により、**4コアAAC**処理をハードウェアコヒーレンス制御と同等以上の速度向上



(ホモジニアス/ヘテロジニアス)マルチコア・メニーコア用プログラム開発

2012.4.25プレスリリース

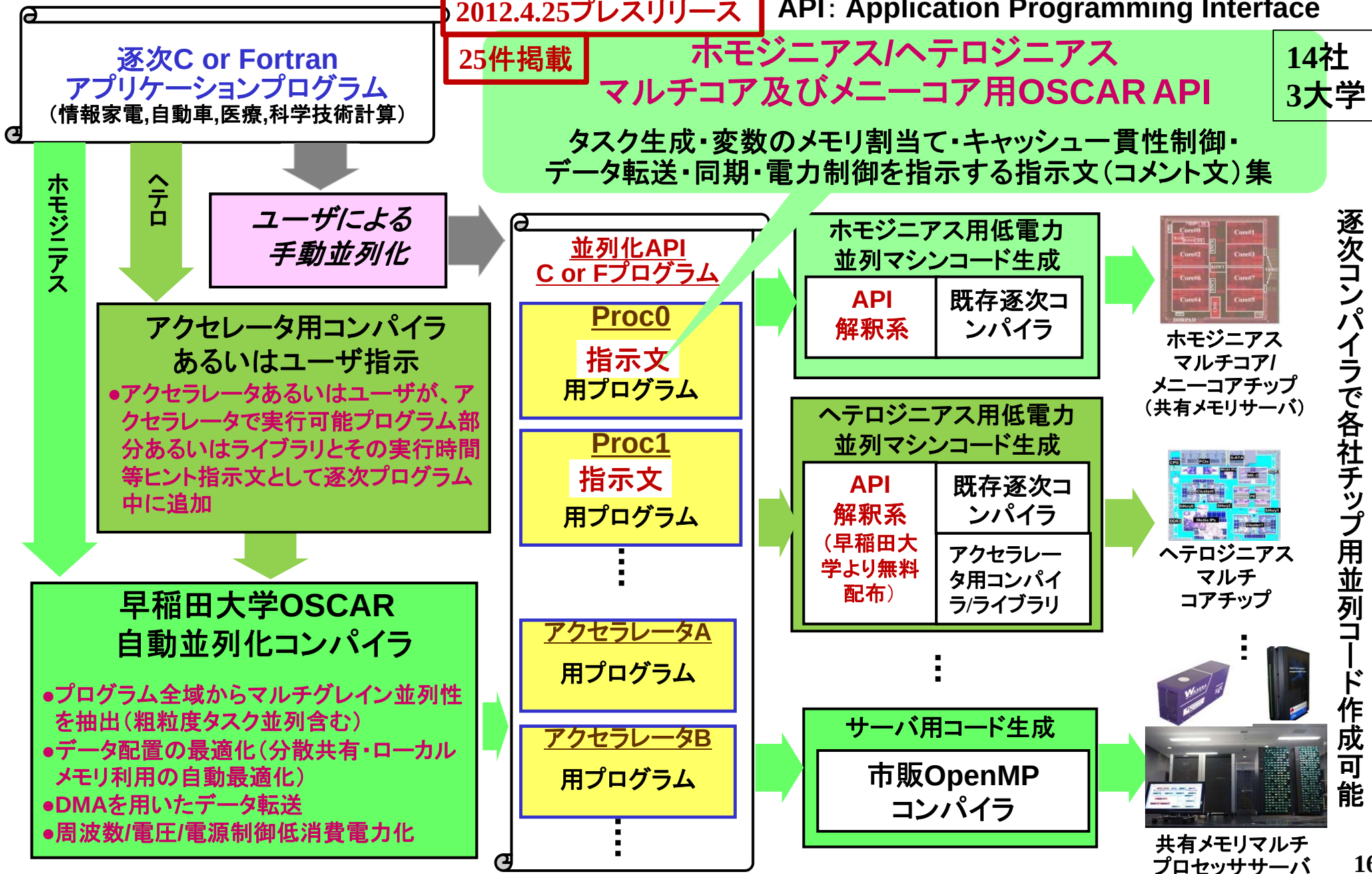
API: Application Programming Interface

25件掲載

ホモジニアス/ヘテロジニアス
マルチコア及びメニーコア用OSCAR API

14社
3大学

タスク生成・変数のメモリ割当て・キャッシュ一貫性制御・
データ転送・同期・電力制御を指示する指示文(コメント文)集



OSCAR API v2.0の指示文一覧

Fortran & C 用の22個の指示文+2ヒント指示文

▶ 並列実行API

- ▶ **parallel sections (*)**
- ▶ **flush (*)**
- ▶ **critical (*)**
- ▶ **execution**

▶ メモリ配置API

- ▶ **threadprivate (*)**
- ▶ **distributedshared**
- ▶ **onchipshared**

▶ 同期API

- ▶ **groupbarrier**

▶ 電力制御API

- ▶ **fvcontrol**
- ▶ **get_fvstatus**

▶ タイマーAPI

- ▶ **get_current_time**

▶ データ転送API

- ▶ **dma_transfer**
- ▶ **dma_contiguous_parameter**
- ▶ **dma_stride_parameter**
- ▶ **dma_flag_check**
- ▶ **dma_flag_send**

▶ アクセラレータAPI

- ▶ **accelerator_task_entry**

▶ キャッシュ制御API

- ▶ **cache_writeback**
- ▶ **cache_selfinvalidate**
- ▶ **complete_memop**
- ▶ **noncacheable**
- ▶ **aligncache**

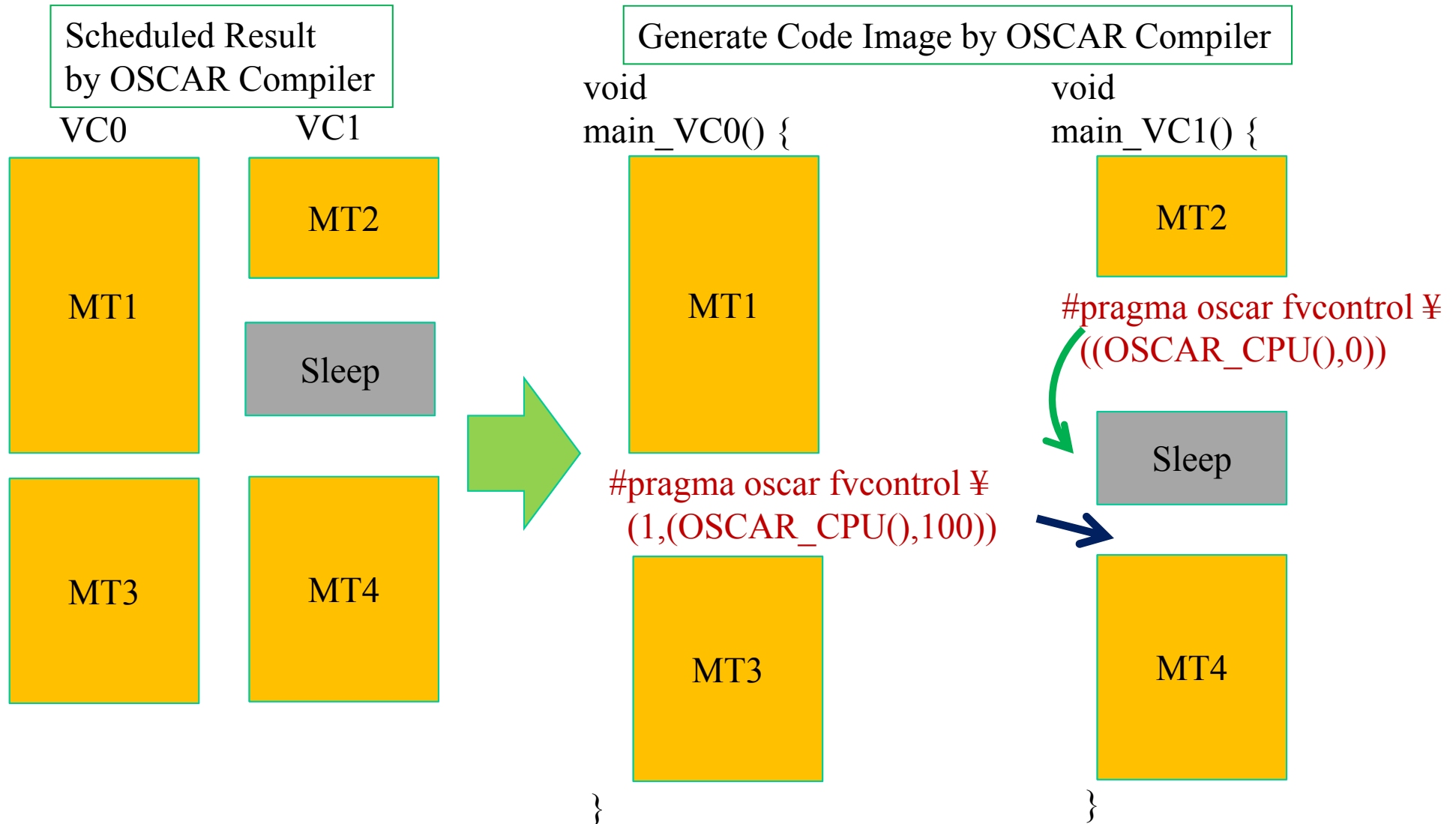
◆ ヒント指示文

- ▶ **accelerator_task**
- ▶ **oscar_comment**

(*) **OpenMP指示文**

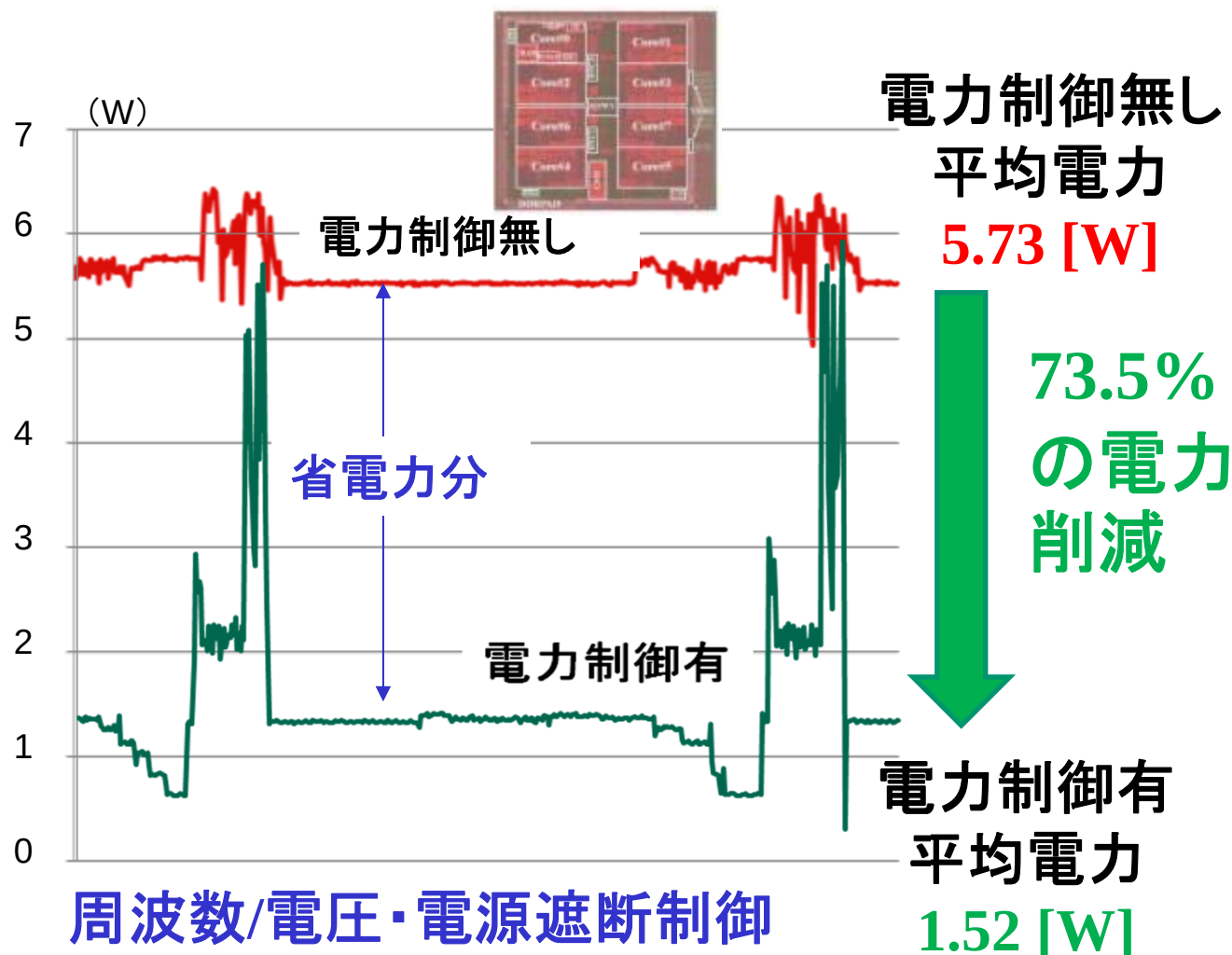
OSCAR: Optimally Scheduled Advanced Multiprocessor

Low-Power Optimization with OSCAR API



リアルタイムMPEG2デコードを、8コアホモジニアスマルチコアRP2上で、消費電力1/4に削減

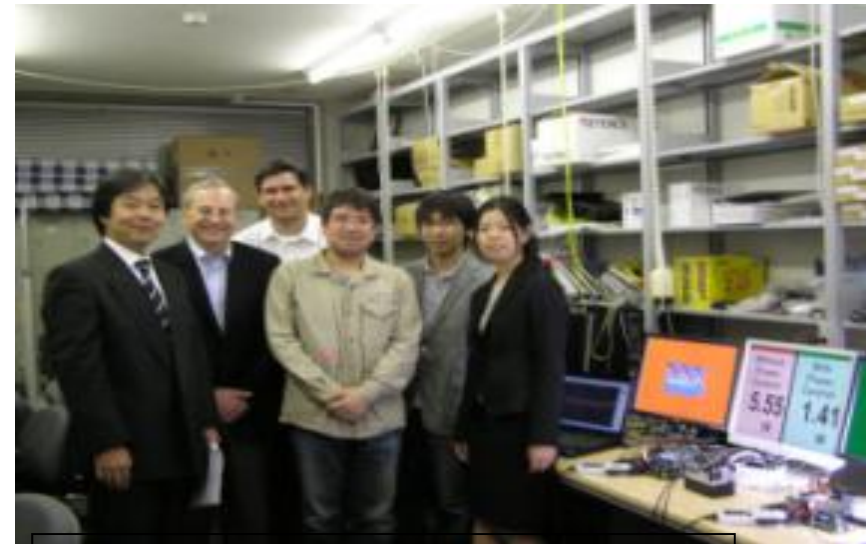
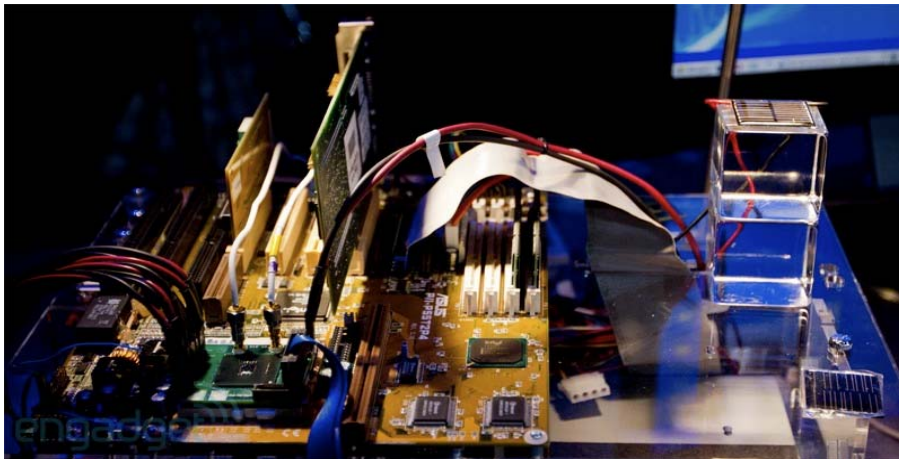
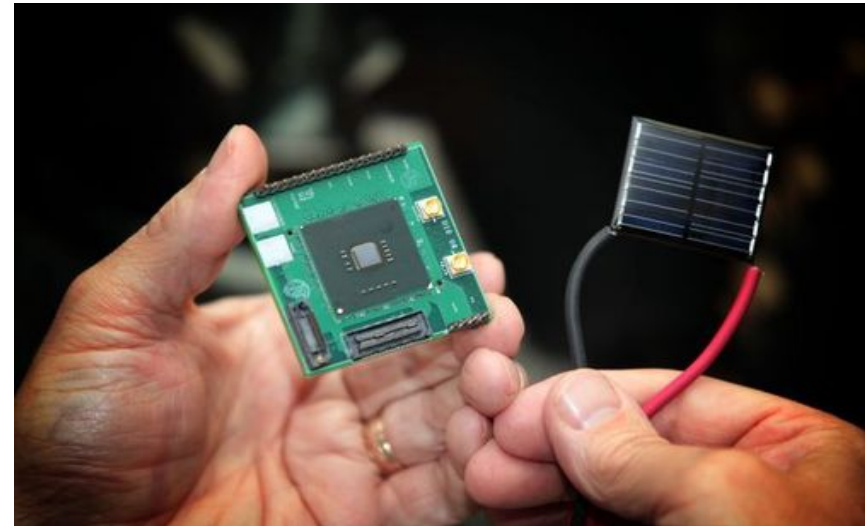
NEDOプロジェクトで開発した低消費電力マルチコア(8コア)上でのマルチメディア処理



太陽電池で駆動可

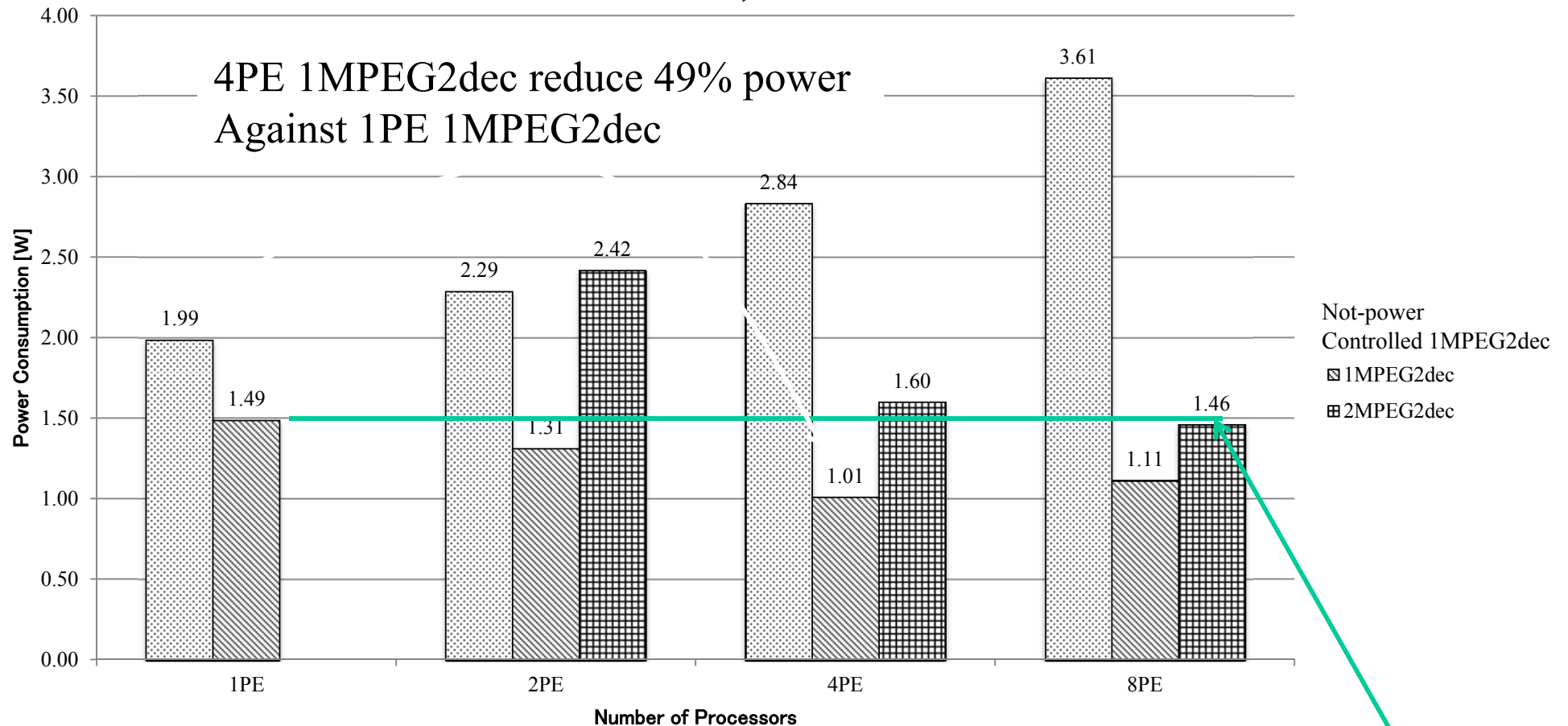


Intel Stamp Size Solar Powered Processor “Claremont” Announced in Intel IDF 2011 September 13 “Haswell” on Market in 2013



インテル 副社長 CTO Dr. Justin Rattner

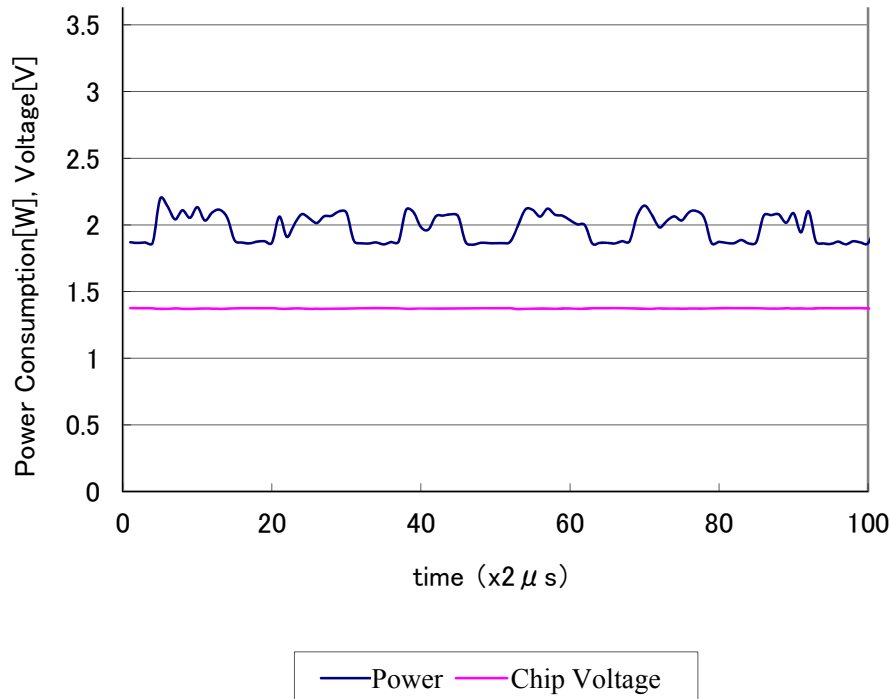
Whole Chip Power Consumption executing Multiple Middle Computational Load Applications (2MPEG Decoders) on RP2



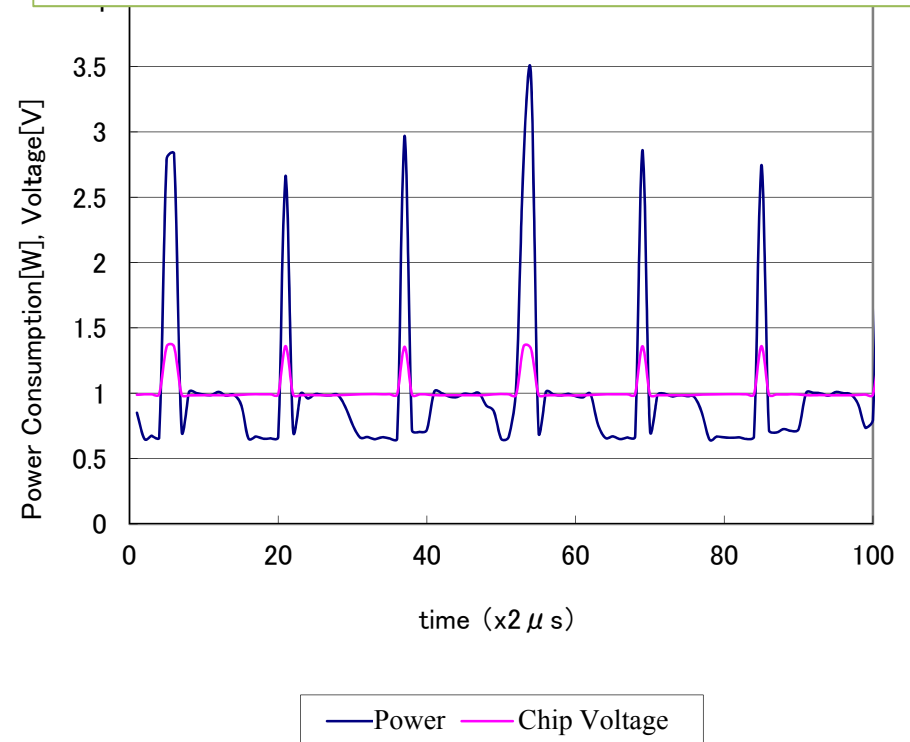
Power consumption of (4PE 1MPEG2dec) x2
is lower than 1PE 1MPEG2dec.
At this time, 51% power reduction for one MPEG2dec.

Waveform of Power Consumption when executing Multiple Middle Computational Load Applications (1MPEG2 Decoder) on RP2

Waveform of 1PE 1MPEG2dec
NOT power-controlled
Average Power: 1.99W

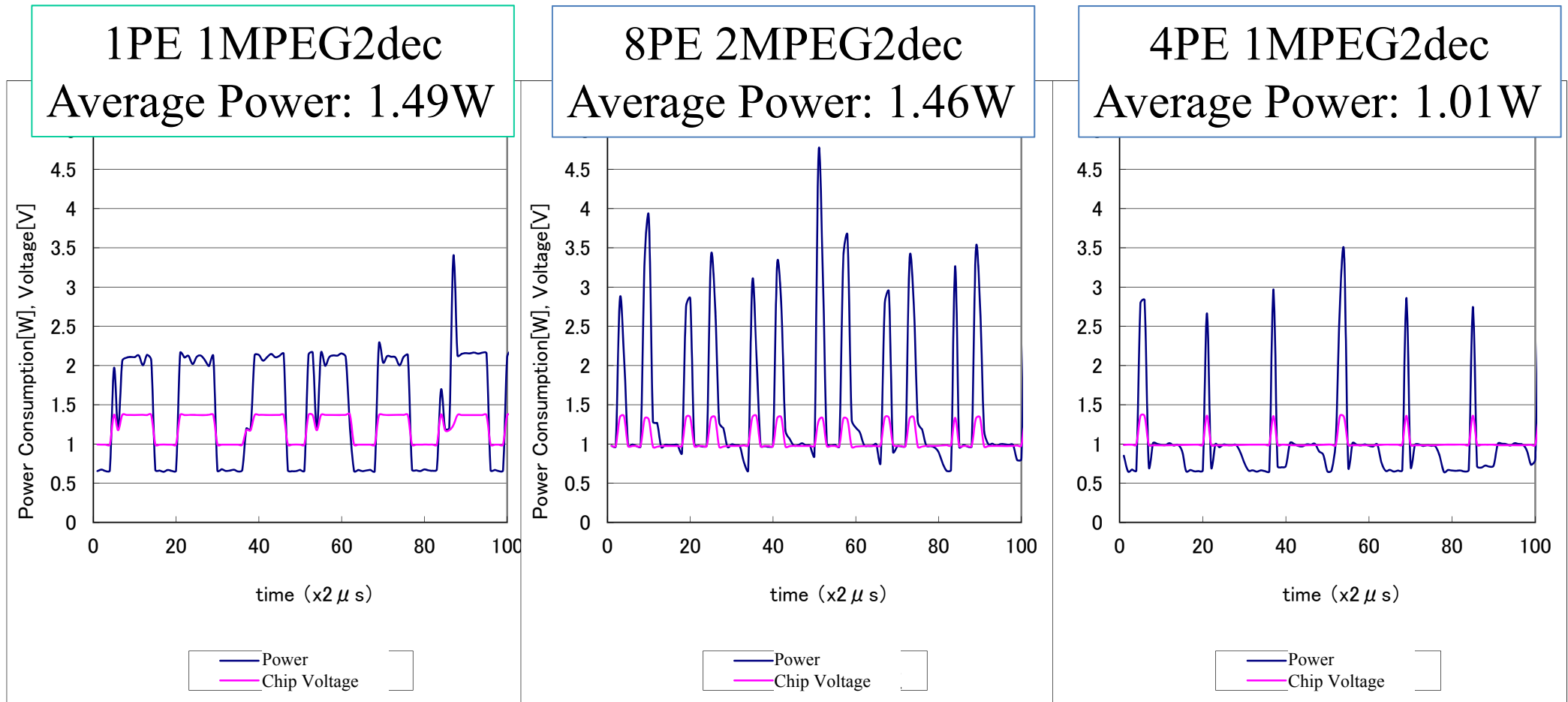


Waveform of 4PE 1MPEG2dec
Average Power: 1.01W



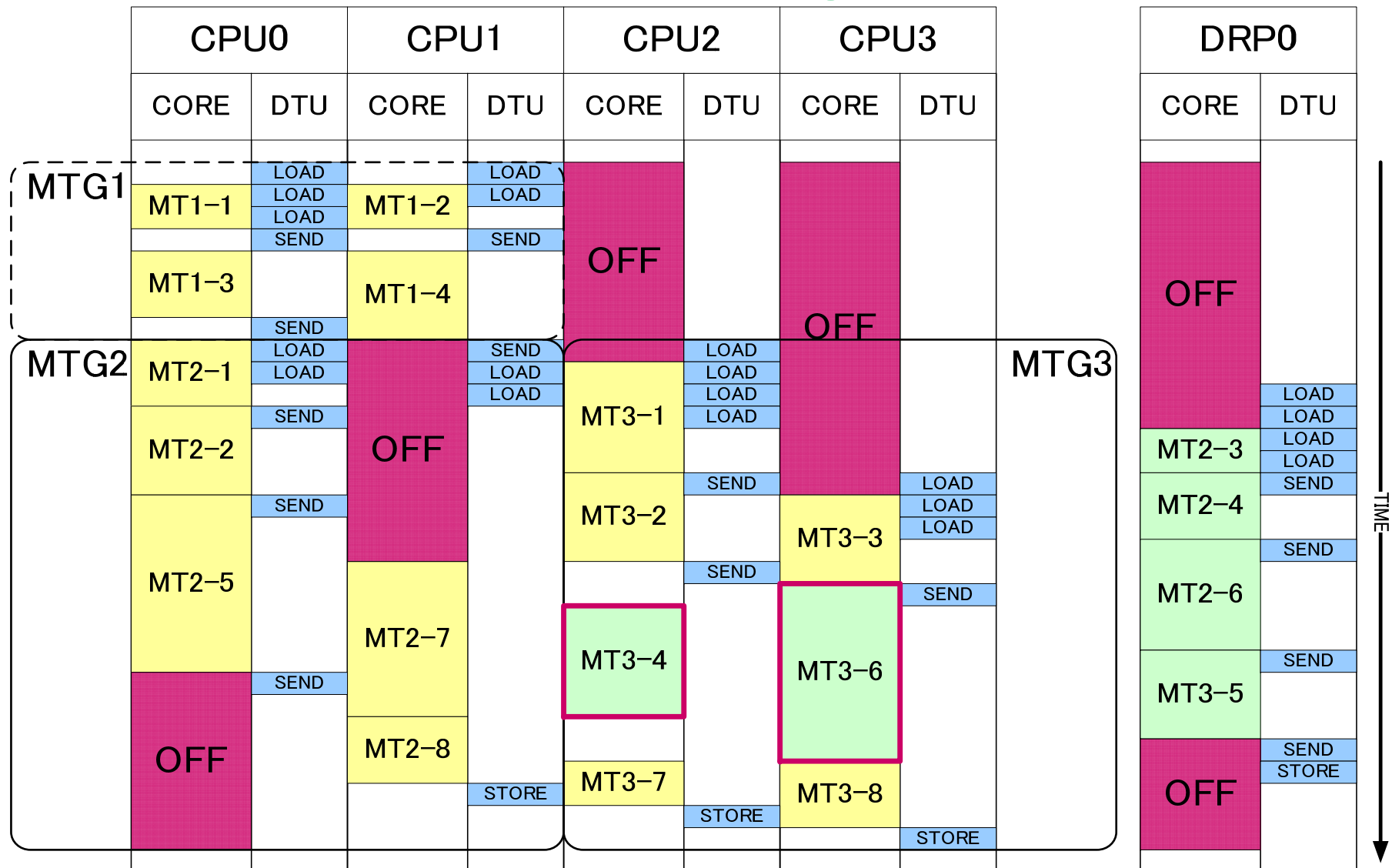
49% power reduction against 4PE 1MPEG2dec

Waveform of Power Consumption when executing Multiple Middle Computational Load Applications (1MPEG2 Decoder) on RP2

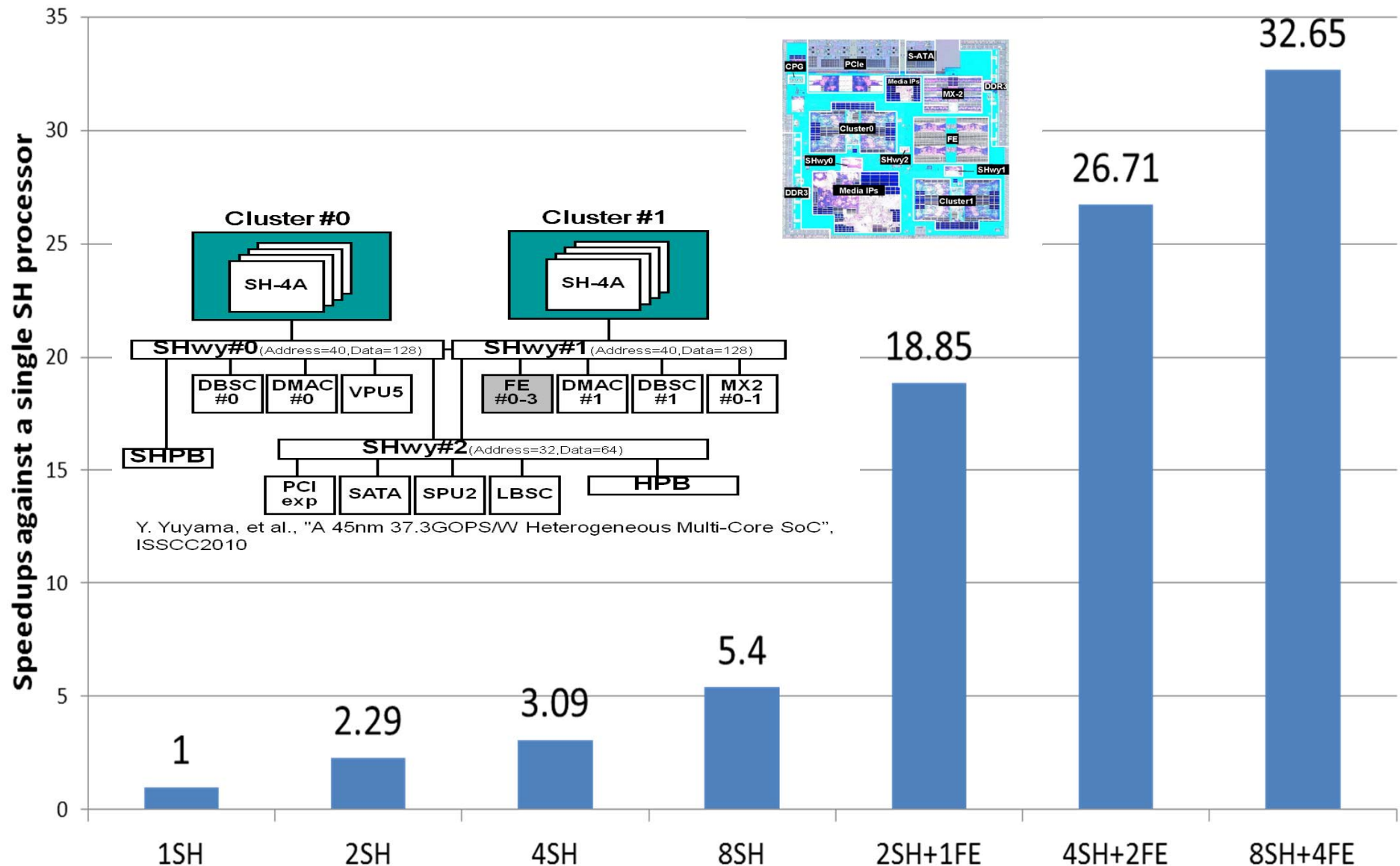


49% power reduction by using 4x cores is almost same as power consumption of 1MPEG2dec

An Image of Static Schedule for Heterogeneous Multi-core with Data Transfer Overlapping and Power Control



RPX上でのオプティカルフロー計算において、8つのSH4Aプロセッサと4つのアクセラレータFEGA(動的再構成可能プロセッサ)利用時に逐次に比べ33倍高速化



RPX上で、リアルタイムオプティカルフロー 計算の消費電力を1/3に削減

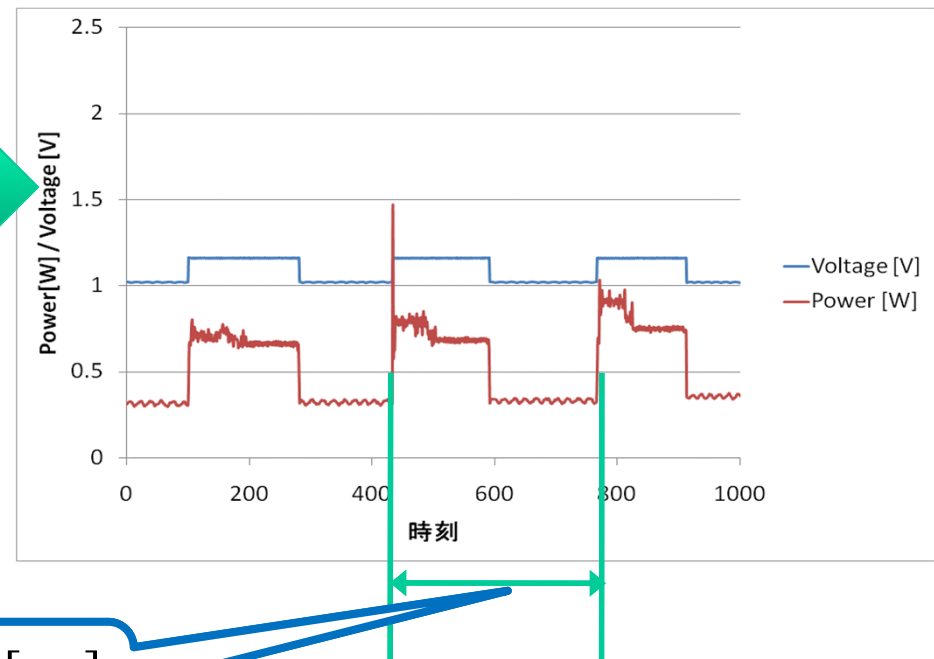
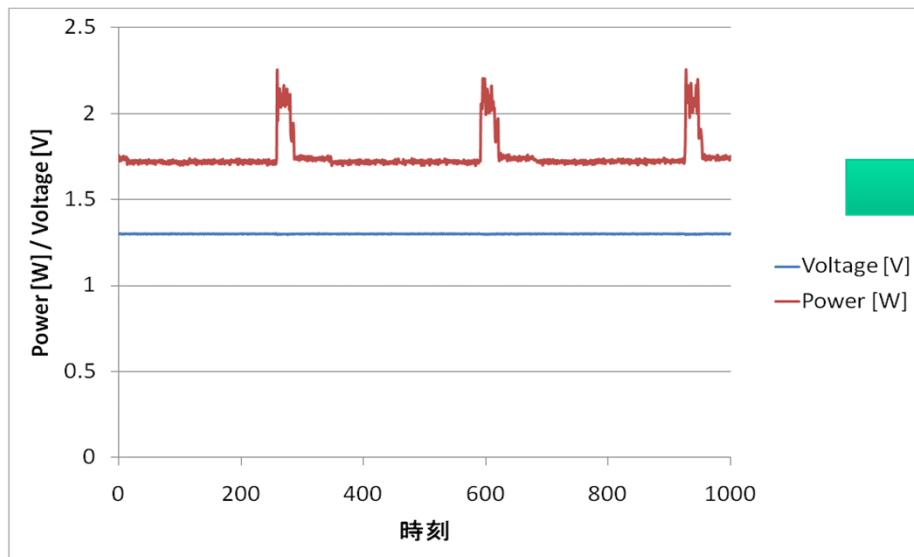
コンパイラ制御なし

コンパイラ制御適用

およそ70[%]の電力削減

平均1.76[W]

平均0.54[W]



1周期 : 33[ms]
→30[fps]

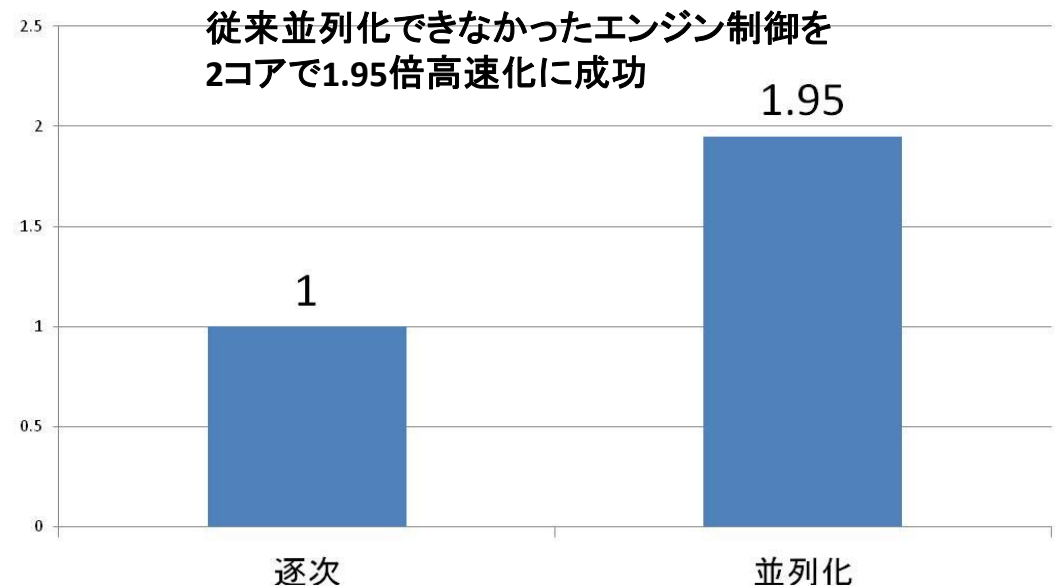


国際産業競争力を高める

「走る・曲る・止る」のクルマの基本性能と安全性能は
電子プログラムが制御する時代へ



マルチコアによるエンジン制御



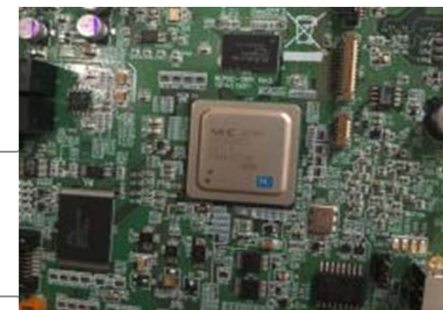
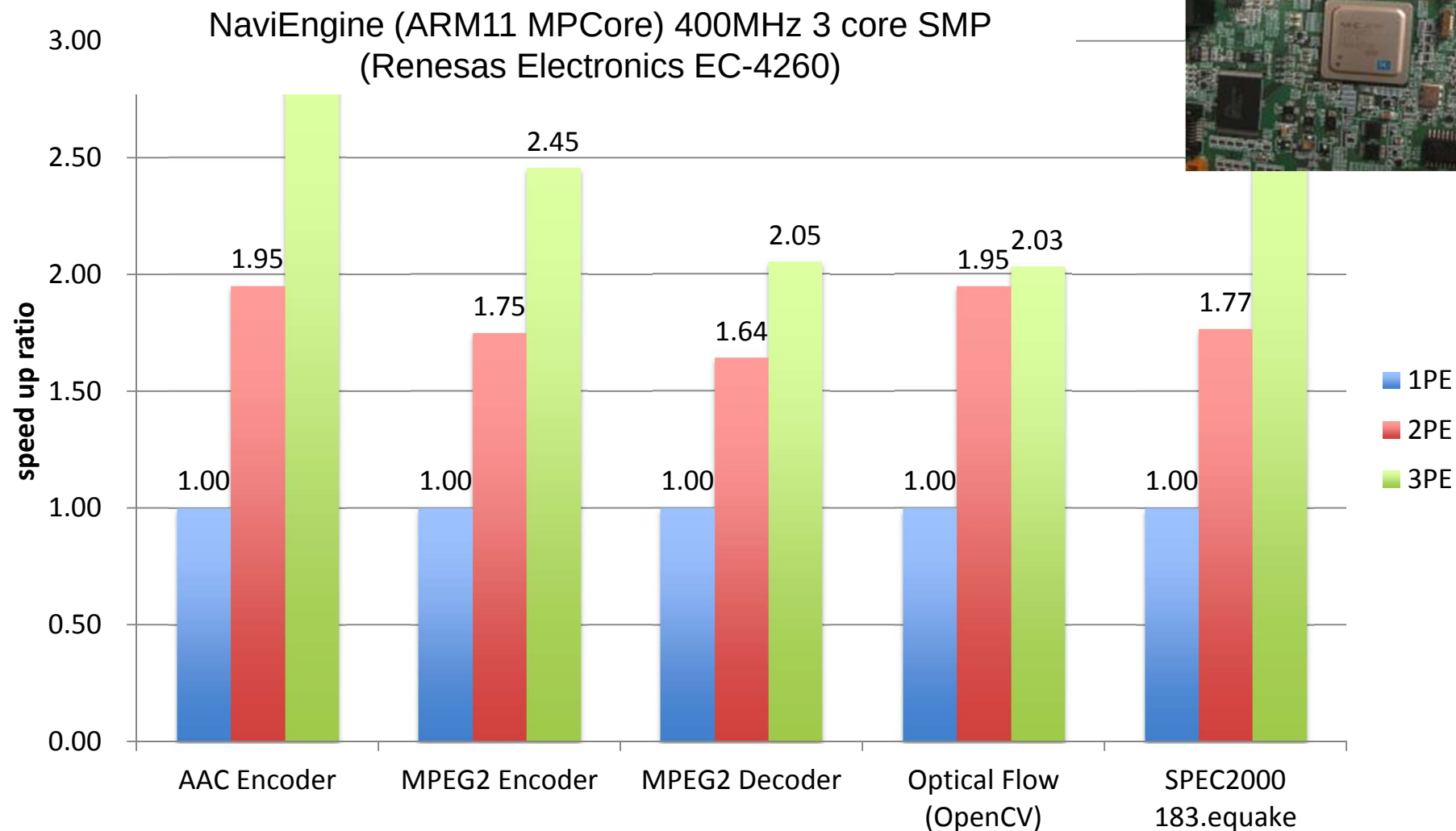
エンジン制御プログラムの高速化・低燃費化・高機能化に貢献

⇒ハイブリッド、EVでは低消費電力化重要。

デンソーと共同研究

(カメラ等多くのセンサーからの情報、ネットワークからのを瞬時に解析し、
エンジン、ブレーキ、サスペンション、ステアリングなどを統合的に制御することにより
より安全、快適、環境に優しい自動車の開発を目指す)

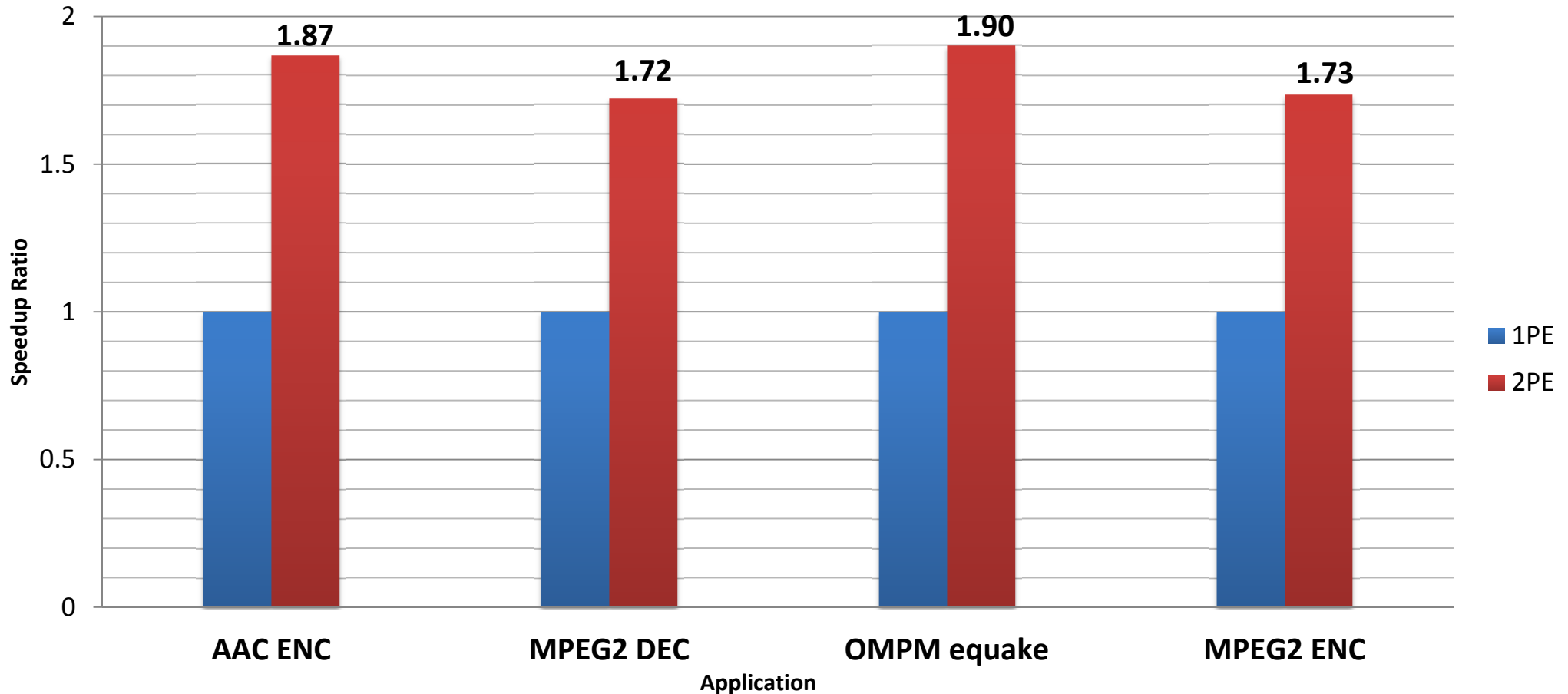
3コア NaviEngine リアルタイムOS eT-Kernel Multi-Core Edition上での OSCAR APIを用いた並列処理性能



- 3コアで1コアに比べ平均2.37倍の速度向上

イーソルと共同研究

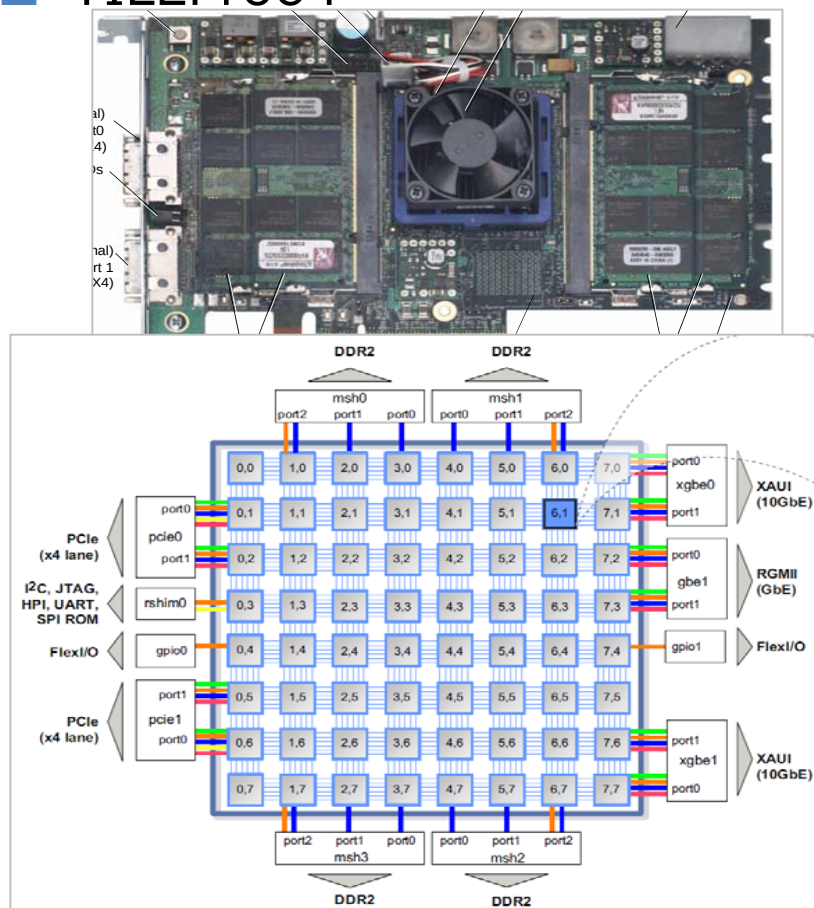
Performance of OSCAR Compiler & API on 2 ARMv7-cores Qualcomm MSM8960 Android 4.0 for Smart Phones



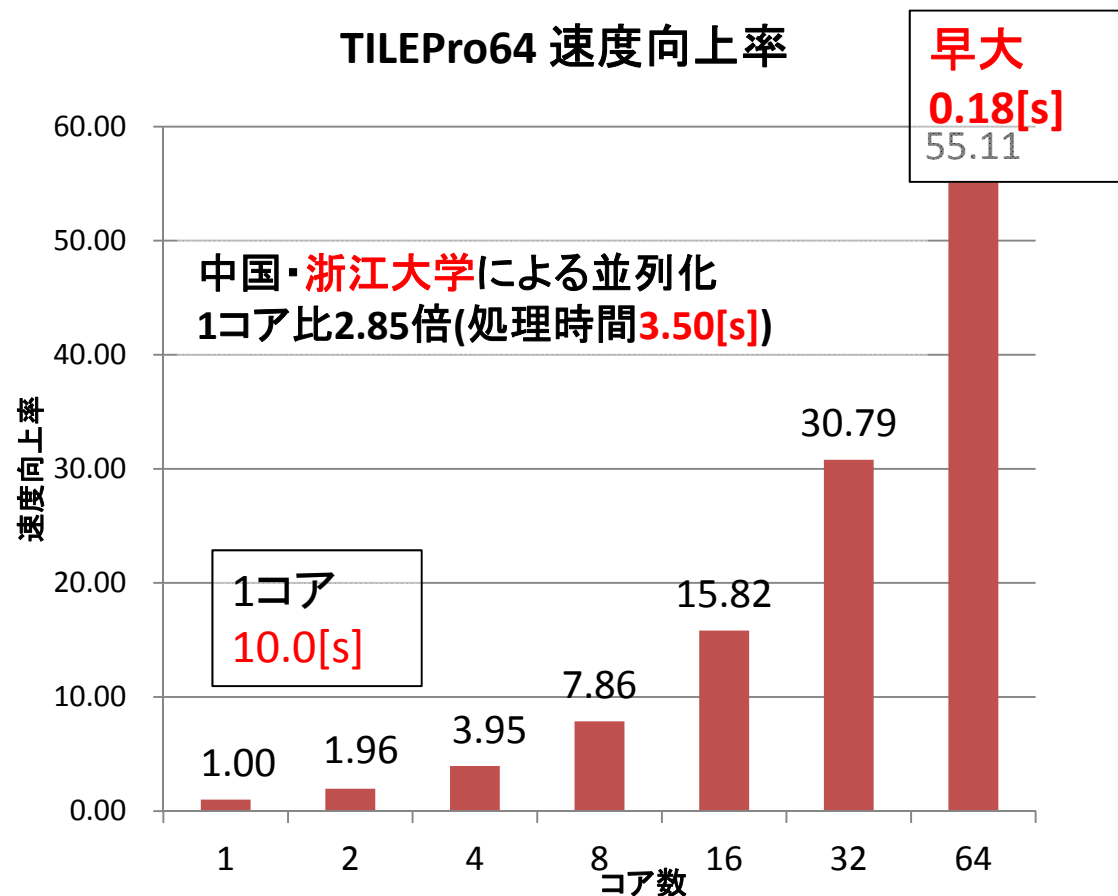
1.81 times speedup by 2 cores on the average against 1 core

次世代カメラ・カプセル内視鏡のための静止画圧縮 JPEG XRエンコーダのメニーコア上での並列化研究状況

TILEPro64



TILEPro64 速度向上率



中国・浙江大学による並列化
1コア比2.85倍(処理時間3.50[s])

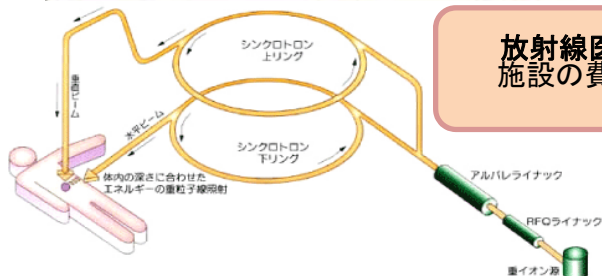
逐次に対し64コアで55倍の速度向上を達成



病気から生命を守る

重粒子線がん治療

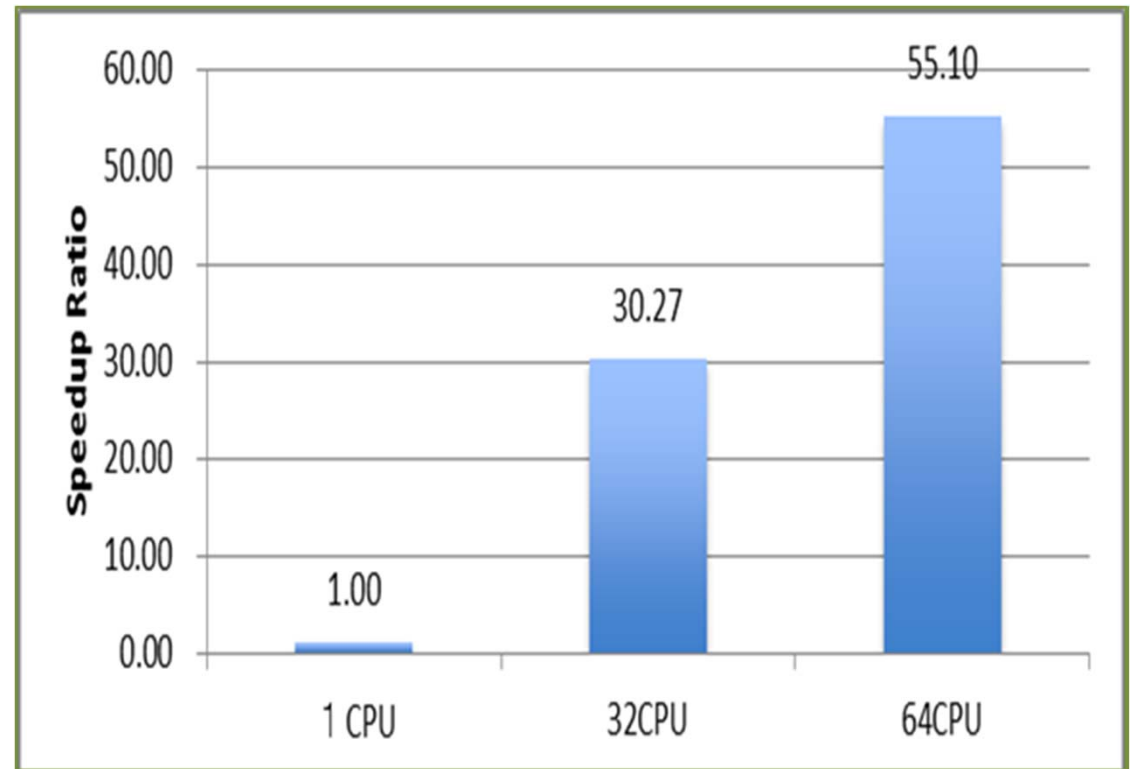
重粒子線(炭素イオン)を極めて正確に制御・照射し、癌細胞のみを消滅させる治療法
開腹手術不要・痛みなく治療が可能



放射線医学研究所
施設の費用: 120億円

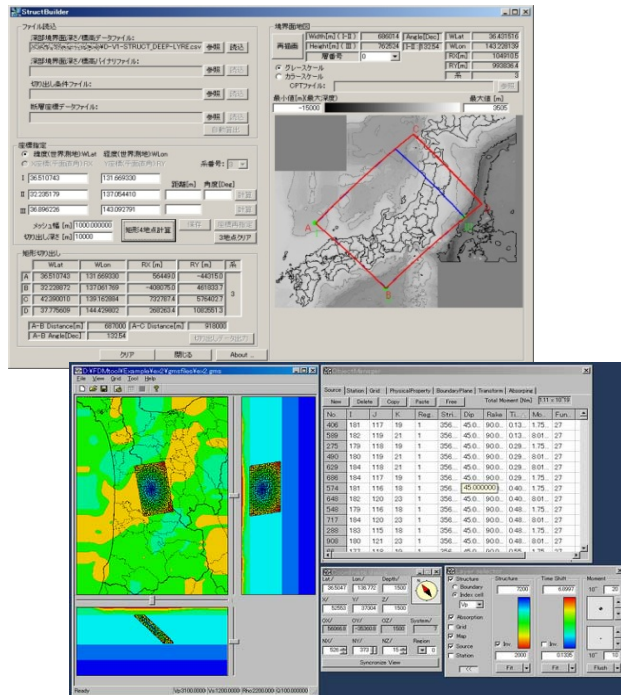
従来照射計画計算に長時間を要していた
⇒1日に処置可能な患者数は数十名程度
⇒ 350万円程度と高額・保険適用外

早大独自ノウハウで64コアで55倍の高速化
20分⇒22秒 低治療費化・健康保険適用へ道

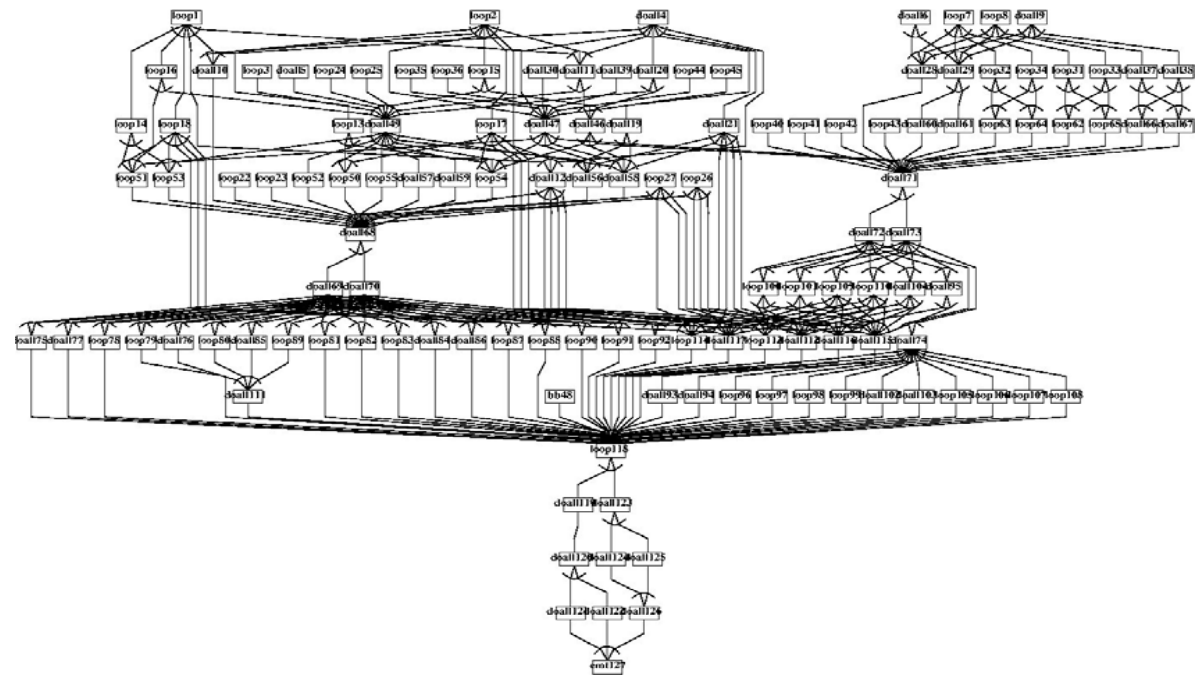


三菱電機と共同研究

リアルタイム防災サーバを目指した地震波伝搬シミュレータGMS (Ground Motion Simulator)の並列化



- 地質データ、震源を入力として地振動を波動方程式の求解により計算 (Fortranプログラム)

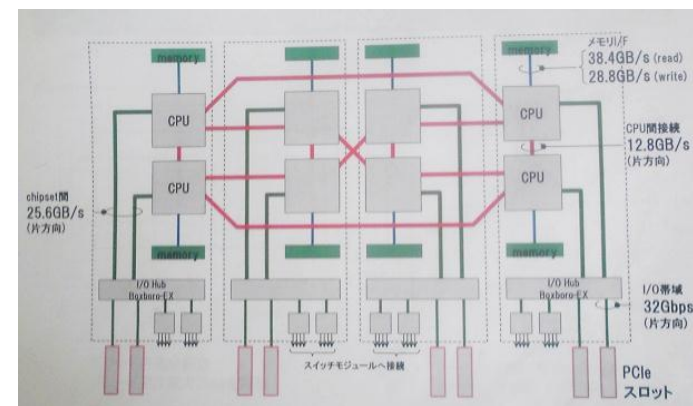
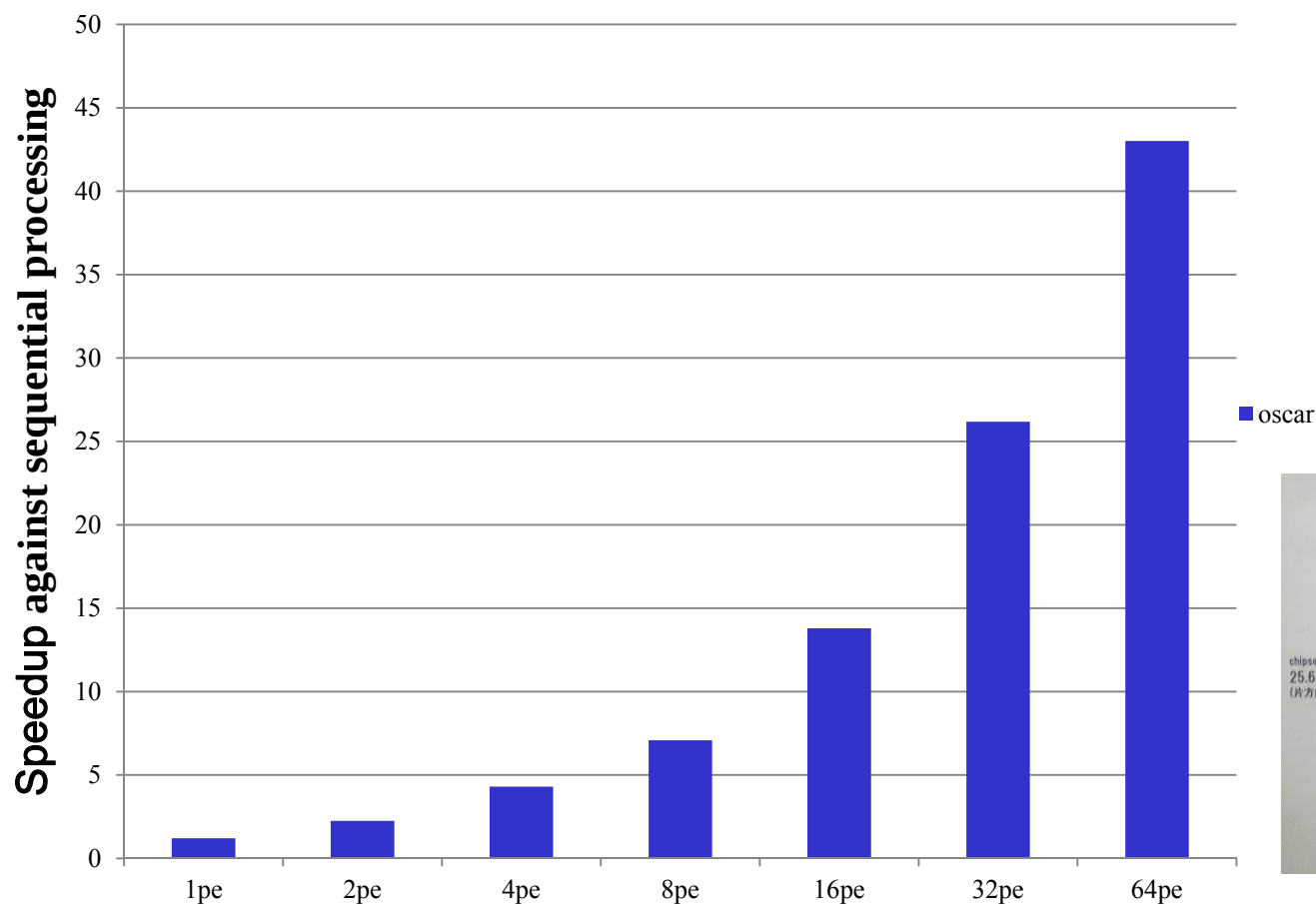


- OSCARコンパイラによる並列性解析結果
 - 横に並んだループ・関数を並列に計算可能
 - 一部タスクは並列化可能なループであり階層的な並列化がさらに可能

GMS:防災科学研究所(NIED)により公開
<http://www.gms.bosai.go.jp/GMS/>

日立BS2000外付けキャッシュコヒーレント制御機構付き 64コアブレードサーバ上でのGMSの並列化

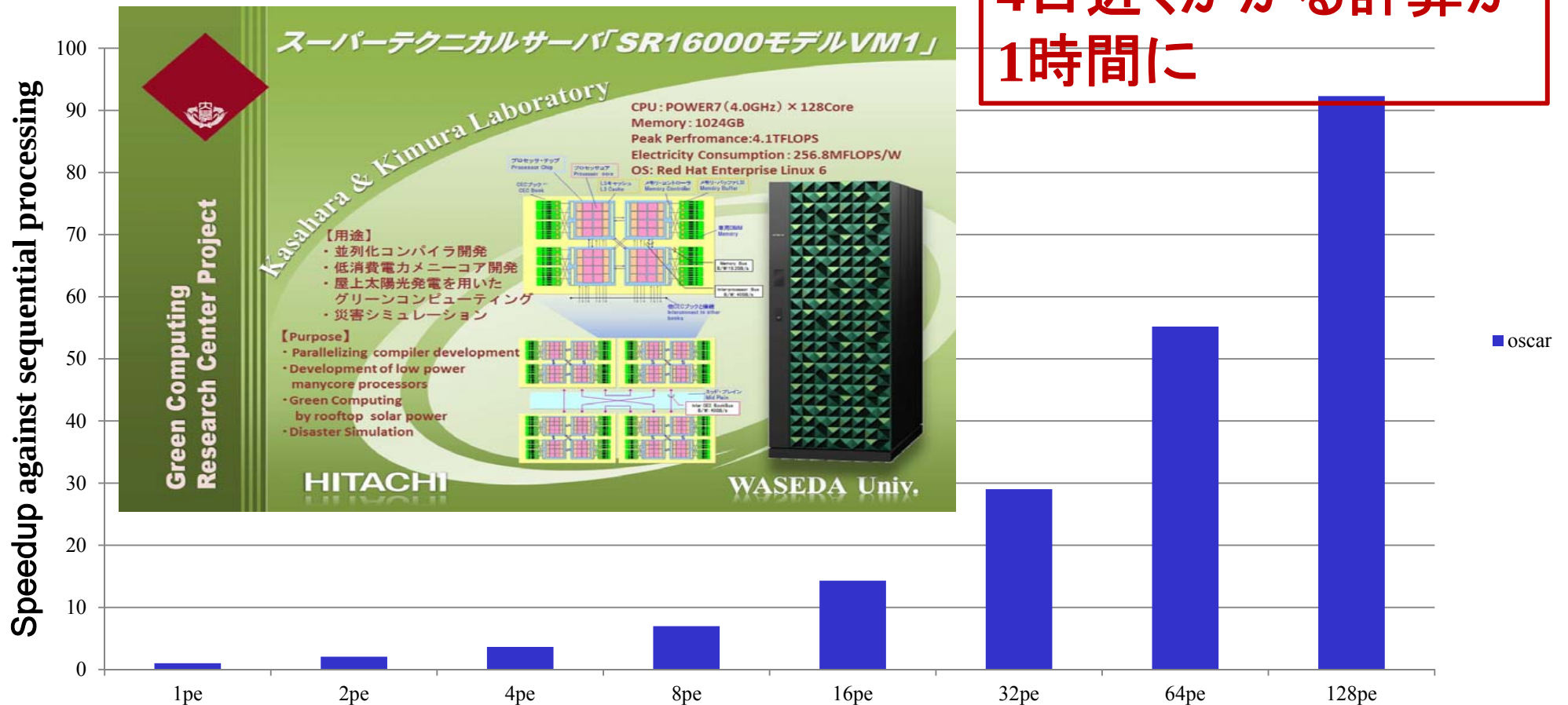
逐次に比べ43倍の高速化(8コアインテルXeon Based Linux SMP)



ブレードSMPサーバ Hitachi BS2000

日立SR16000 128コアLinux CC-NUMA(SMP) ハイエンドサーバ上でのGMSの並列化 逐次に比べ92倍の高速化(8コアIBM Power7ベース)

4日近くかかる計算が
1時間に



IEEE CS Multicore STC: Leadership Team

Chair

Hironori Kasahara

FTs PM

BoG “Angel”

Hironori Kasahara

Conferences

Standards

Education

Body of Knowledge

Publishing

Web Portal

Newsletter

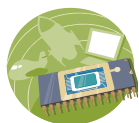


<Confidential> STC: Strategic Technical Committee

IEEE CSが推進する3分野の一つである

マルチコア分野が2012.6.15に笠原に任されました。

上記分野で最高のスタッフを決め、圧倒的な競争力をもつ国際会議、論文誌、標準化、教育を世界産官学連携で推し進めます。



マルチコア・並列化将来目標



次世代自動車

- より安全・より安心・より快適・より環境に優しい
- エンジン・モータ制御、ブレーキ、サスペンション制御
- カメラ・ネットワーク等情報系と統合した制御系へ

スマートフォン



- 1日一回の充電から、1週間以下の充電へ。
- 非常時でも太陽光充電



高度医療サーバ

手術室内設置可能で、停電時でも非常電源、太陽光で動作する衛生的・静音・高性能サーバ



パーソナルスパコン

太陽光充電可能な電力1/100以下のサーバ
(局所災害シミュレータ等)